

УДК 658.512.011.56

## РАЗРАБОТКА И АПРОБАЦИЯ АЛГОРИТМА КОРРЕКЦИИ ОШИБОК В СИСТЕМАХ АВТОМАТИЗАЦИИ ПРОЕКТИРОВАНИЯ ПЕЧАТНЫХ ПЛАТ

Е.Б. Романова<sup>a</sup>

<sup>a</sup> Университет ИТМО, Санкт-Петербург, 197101, Российская Федерация

Адрес для переписки: [eva\\_rom@mail.ru](mailto:eva_rom@mail.ru)

### Информация о статье

Поступила в редакцию 20.01.16, принята к печати 03.02.16

doi: 10.17586/2226-1494-2016-16-2-303-310

Язык статьи – русский

**Ссылка для цитирования:** Романова Е.Б. Разработка и апробация алгоритма коррекции ошибок в системах автоматизации проектирования печатных плат // Научно-технический вестник информационных технологий, механики и оптики. 2016. Т. 16. № 2. С. 303–310. doi: 10.17586/2226-1494-2016-16-2-303-310

### Аннотация

**Предмет исследования.** Разработан и представлен метод коррекции ошибок проектирования печатных плат в системах автоматизированного проектирования. Контроль технологических параметров печатных плат осуществляется с помощью программы Design Rule Check (DRC). Программа DRC контролирует соблюдение правил проектирования (минимальные зазоры и ширину проводников, параметры контактных площадок и переходных отверстий, параметры полигонов и др.), а также проверяет трассировку цепей, короткие замыкания, наличие объектов вне контура печатной платы и другие ошибки проектирования. Результатом работы программы DRC является сформированный отчет об ошибках. Для качественного изготовления плат DRC-ошибки должны быть исправлены, что обеспечивается созданием безошибочного DRC-отчета. **Метод.** В результате опытной эксплуатации программ P-CAD, Altium Designer и KiCAD выявлена проблема цикличности коррекции DRC-ошибок. Для ее решения проведен анализ DRC-ошибок, изучены способы их коррекции. Предложено объединять DRC-ошибки в группы. Группы ошибок включают типы ошибок, последовательность коррекции которых не влияет на время коррекции. Предложен алгоритм коррекции DRC-ошибок. **Основные результаты.** Определена наилучшая последовательность коррекции DRC-ошибок. Алгоритм апробирован в системах автоматизации проектирования печатных плат P-CAD, Altium Designer и KiCAD. Апробация проведена на двух- и четырехслойных тестовых платах (цифровых и аналоговых). Проведено сравнение времени коррекции DRC-ошибок с применением алгоритма с тем же временем без применения алгоритма. Показано, что экономия времени коррекции DRC-ошибок возрастает с количеством типов ошибок в пределах до 3,7 раз. **Практическая значимость.** Использование предложенного алгоритма позволяет сократить время проектирования печатных плат и повышает качество проектирования. Рекомендуется применение разработанного алгоритма при количестве типов ошибок от 4 и более. Предложенный алгоритм можно использовать в различных типах современных системах автоматизации проектирования печатных плат.

### Ключевые слова

печатные платы, САПР, DRC, Design Rule Check, коррекция ошибок, Altium Designer

### Благодарности

Автор выражает благодарность профессору кафедры проектирования и безопасности компьютерных систем Университета ИТМО С.А. Арустамову за критические замечания и советы, которые помогли значительно улучшить качество данной статьи.

## DEVELOPMENT AND TESTING OF ERRORS CORRECTION ALGORITHM IN ELECTRONIC DESIGN AUTOMATION

Е.В. Romanova<sup>a</sup>

<sup>a</sup> ITMO University, 197101, Saint Petersburg, Russian Federation

Corresponding author: [eva\\_rom@mail.ru](mailto:eva_rom@mail.ru)

### Article info

Received 20.01.16, accepted 03.02.16

doi: 10.17586/2226-1494-2016-16-2-303-310

Article in Russian

**For citation:** Romanova E.B. Development and testing of errors correction algorithm in electronic design automation. *Scientific and Technical Journal of Information Technologies, Mechanics and Optics*, 2016, vol. 16, no. 2, pp. 303–310. doi: 10.17586/2226-1494-2016-16-2-303-310

## Abstract

**Subject of Research.** We have developed and presented a method of design errors correction for printed circuit boards (PCB) in electronic design automation (EDA). Control of process parameters of PCB in EDA is carried out by means of Design Rule Check (DRC) program. The DRC program monitors compliance with the design rules (minimum width of the conductors and gaps, the parameters of pads and via-holes, the parameters of polygons, etc.) and also checks the route tracing, short circuits, the presence of objects outside PCB edge and other design errors. The result of the DRC program running is the generated error report. For quality production of circuit boards DRC-errors should be corrected, that is ensured by the creation of error-free DRC report. **Method.** A problem of correction repeatability of DRC-errors was identified as a result of trial operation of P-CAD, Altium Designer and KiCAD programs. For its solution the analysis of DRC-errors was carried out; the methods of their correction were studied. DRC-errors were proposed to be clustered. Groups of errors include the types of errors, which correction sequence has no impact on the correction time. The algorithm for correction of DRC-errors is proposed. **Main Results.** The best correction sequence of DRC-errors has been determined. The algorithm has been tested in the following EDA: P-CAD, Altium Designer and KiCAD. Testing has been carried out on two and four-layer test PCB (digital and analog). Comparison of DRC-errors correction time with the algorithm application to the same time without it has been done. It has been shown that time saved for the DRC-errors correction increases with the number of error types up to 3.7 times. **Practical Relevance.** The proposed algorithm application will reduce PCB design time and improve the quality of the PCB design. We recommend using the developed algorithm when the number of error types is equal to four or more. The proposed algorithm can be used in different types of modern EDA.

## Keywords

printed circuit boards, EDA, DRC, Design Rule Check, errors correction, Altium Designer

## Acknowledgements

The author thanks Sergey Arustamov, Professor of Computer Systems Design and Security Department (ITMO University), for critical remarks and advice that have improved significantly the quality of this paper.

## Введение

Одним из завершающих этапов проектирования печатных плат (ПП) является контроль технологических параметров. В системах автоматизированного проектирования (САПР) ПП контроль технологических параметров осуществляется с помощью программы Design Rule Check (DRC). Программа DRC – это высокопроизводительный автоматизированный программный модуль, который проверяет логическую и физическую целостность проектов ПП<sup>1</sup>.

Использование этого модуля при проектировании ПП необходимо для контроля минимальных зазоров, минимальной ширины проводников, коротких замыканий и других нарушений. Работа программного модуля DRC в САПР ПП включает в себя два основных этапа: установка ограничений (зазоров, ширин проводников и др.) и настройка проверки правил (набор правил, которые должны быть проверены перед отправкой в производство). После настройки выполняется проверка, в результате которой создается список ошибок. Ошибки должны быть проанализированы и устранены.

В области автоматизированного проектирования ПП имеется множество исследований и разработок. В частности, опубликованы результаты применения различных САПР ПП. Разработка ПП в современных САПР ПП рассматривается в трудах Zhang [1], Wu [2], Dilip [3], Zhai [4] и других. Публикации о DRC-ошибках появились еще в 70-х годах XX века, современные обсуждения описаны в трудах O'Riordan [5], Pais [6], Page [7], Ismail [8] и др. Несмотря на достаточно большое количество публикаций по данной тематике, способы коррекции DRC-ошибок в литературе представлены неудовлетворительно, а последовательность коррекции DRC-ошибок решается, как правило, каждым проектировщиком индивидуально, поэтому проблема является актуальной, и способы ее решения нуждаются в детальной проработке и опубликовании в научной литературе.

Целью настоящей работы является разработка алгоритма коррекции DRC-ошибок в САПР ПП. Для разработки алгоритма необходимо предварительно проанализировать DRC-ошибки и осуществить анализ способов коррекции DRC-ошибок. Анализ и коррекция DRC-ошибок занимает много времени – от десятков минут до нескольких суток. Ошибки могут быть связаны между собой – одна ошибка в топологии ПП может порождать несколько ошибок в отчете. Таким образом, возможна ситуация, когда после исправления одной ошибки в топологии ПП количество ошибок в отчете будет снижено на 2 и более. Анализ и коррекция DRC-ошибок в САПР печатных плат представлены в [9]. Для ускорения процесса проектирования ПП необходимо исправлять ошибки в определенной последовательности. Коррекция ошибок по порядку (последовательно по списку ошибок) нередко приводит к ситуации, когда после исправления очередной ошибки исправленная предыдущая ошибка появляется снова. Например, исправляя сначала ошибки трассировки, а потом ошибки размещения, нередко приходится исправлять одну и ту же ошибку трассировки дважды (до исправления ошибки размещения и после исправления ошибки размещения). Использование алгоритма, предложенного в данной работе, поможет избежать многократного исправления одной ошибки. Существует большое количество правил проектирования, например, в САПР ПП Altium Designer их более 50. В соответ-

<sup>1</sup> Howie J. Design Rule Checking [Электронный ресурс]. Режим доступа: <http://techdocs.altium.com/display/ADOH/Design+Rule+Checking>, свободный. Яз. англ. (дата обращения 20.09.2015).

ствии с правилами проектирования ошибки в DRC-отчете группируются по типам (наименование типа ошибки, обычно, похоже на наименование правила). В некоторых САПР ПП типы правил разбиты на категории, например в Altium Designer существует 10 категорий правил. На первом этапе исследований DRC-ошибки корректировались по категориям, но в результате исследований наблюдалась цикличность ошибок, а также последовательность коррекции некоторых категорий не влияла на время коррекции ошибок, поэтому было сформировано 6 групп ошибок: размещения, трассировки, производства, электрических, сверхвысокочастотных (СВЧ), целостности сигналов. Группы ошибок включают такие типы ошибок, последовательность коррекции которых не влияет на время коррекции ошибок. Две группы идентичны категориям в Altium Designer: High Speed (СВЧ) и Signal Integrity (целостность сигналов). Эти категории правил узкоспецифичны и в DRC-проверке многих проектов ПП не используются, такие правила устанавливать (задавать) не нужно. В работе предлагается алгоритм коррекции DRC-ошибок, позволяющий сократить время проектирования и улучшить качество проектирования ПП, использование которого возможно в распространенных пакетах программ, таких как P-CAD, Altium Designer и KiCAD. Предложенный алгоритм коррекции DRC-ошибок апробирован на нескольких десятках проектов ПП.

Коррекция DRC-ошибок является неотъемлемым процессом проектирования ПП и занимает продолжительное время. Повышение скорости этого процесса является актуальной научной задачей, так как сокращение сроков проектирования позволяет снизить трудозатраты на проектирование изделия и повысить конкурентоспособность изделия. В настоящей работе предлагается повысить скорость за счет применения алгоритма коррекции DRC-ошибок. Применение алгоритма позволит корректировать DRC-ошибки в оптимальной последовательности (наиболее быстро). Каждый опытный разработчик ПП непременно использует алгоритм коррекции DRC-ошибок. И каждый разработчик методом проб и ошибок пытается выработать свой оптимальный алгоритм коррекции DRC-ошибок. До сих пор алгоритм коррекции DRC-ошибок не был предложен в связи с большим разнообразием (уникальностью) проектов ПП и сложностью универсализации такого алгоритма. Создание алгоритма стало возможным с повышением функциональности САПР ПП, в современных САПР ПП четко разграничены категории правил проектирования, что существенно облегчает процесс алгоритмизации коррекции DRC-ошибок. В работе разработан универсальный алгоритм коррекции DRC-ошибок, применение которого позволит сократить время проектирования и улучшить качество проектирования различных ПП – двухслойных и четырехслойных; цифровых и аналоговых.

### **Алгоритм коррекции DRC-ошибок**

Алгоритм коррекции DRC-ошибок представлен на рис. 1. Основная цель алгоритма – это исправление DRC-ошибок в проекте печатной платы в кратчайшие сроки.

Перед началом проектирования ПП рекомендуется отключить проверку правил, не используемых в текущем проекте, т.е. изменить настройки DRC. Потом нужно разработать топологию ПП (разместить компоненты на ПП и трассировать проводники). В конце проектирования надо запустить DRC-проверку – в результате будет сформирован отчет об ошибках. При наличии ошибок их необходимо исправить в следующей последовательности.

1. Коррекция ошибок размещения компонентов (посадочных мест, деталей, вырезов в плате, запретных для размещения зон). Ошибками размещения могут быть нарушение зазоров между компонентами, пересечение компонентов, расположение компонентов за краями ПП.
2. Коррекция скоплений ошибок. Под скоплением ошибок подразумевается несколько ошибок, расположенных близко друг к другу. После коррекции скоплений ошибок рекомендуется снова выполнить DRC-проверку (вернуться в начало алгоритма).
3. Если плата включает СВЧ-узлы и были установлены правила для высокоскоростных цепей, то необходимо исправить ошибки в категории High Speed.
4. Коррекция электрических ошибок – неразведенных связей, коротких замыканий и нарушений зазоров между электрическими объектами в слоях металлизации.
5. Коррекция ошибок трассировки – трассировки дифференциальных пар, трассировки в заданных слоях, ширины проводников, стилей переходных отверстий, стилей соединений контактных площадок и переходных отверстий с полигонами, и других.
6. Коррекция ошибок, влияющих на производство – нарушений зазоров в защитной маске; нарушений зазоров между объектами шелкографии; нарушений, связанных с тестовыми точками и других.
7. Коррекция ошибок целостности сигналов, в том числе нарушение допустимых пределов – импеданса цепи, выбросов на заднем и переднем фронтах импульса сигнала, времени задержки заднего и переднего фронтов сигнала и др.

### **Экспериментальное исследование предложенного алгоритма**

В процессе разработки новой ПП проектировщик ставит себе задачу не нарушать правила проектирования (в этом ему помогает включение функции DRC-online), поэтому при корректном размещении и

трассировке (с соблюдением правил проектирования) количество ошибок не превышает нескольких десятков, а количество типов ошибок обычно не превышает 2–3. Применение разработанного алгоритма в этом случае ненамного ускоряет процесс проектирования. Но при высоком уровне сложности ПП (многослойные ПП с количеством компонентов от 300 и более) количество типов DRC-ошибок увеличивается (5 и более), и тогда уже актуально применение алгоритма. При модификации проекта ПП проектировщик вносит изменения в схему, а затем изменения автоматизировано переносятся в топологию ПП. Количество ошибок может составить 50 и более, а среднее количество типов ошибок 4–15.

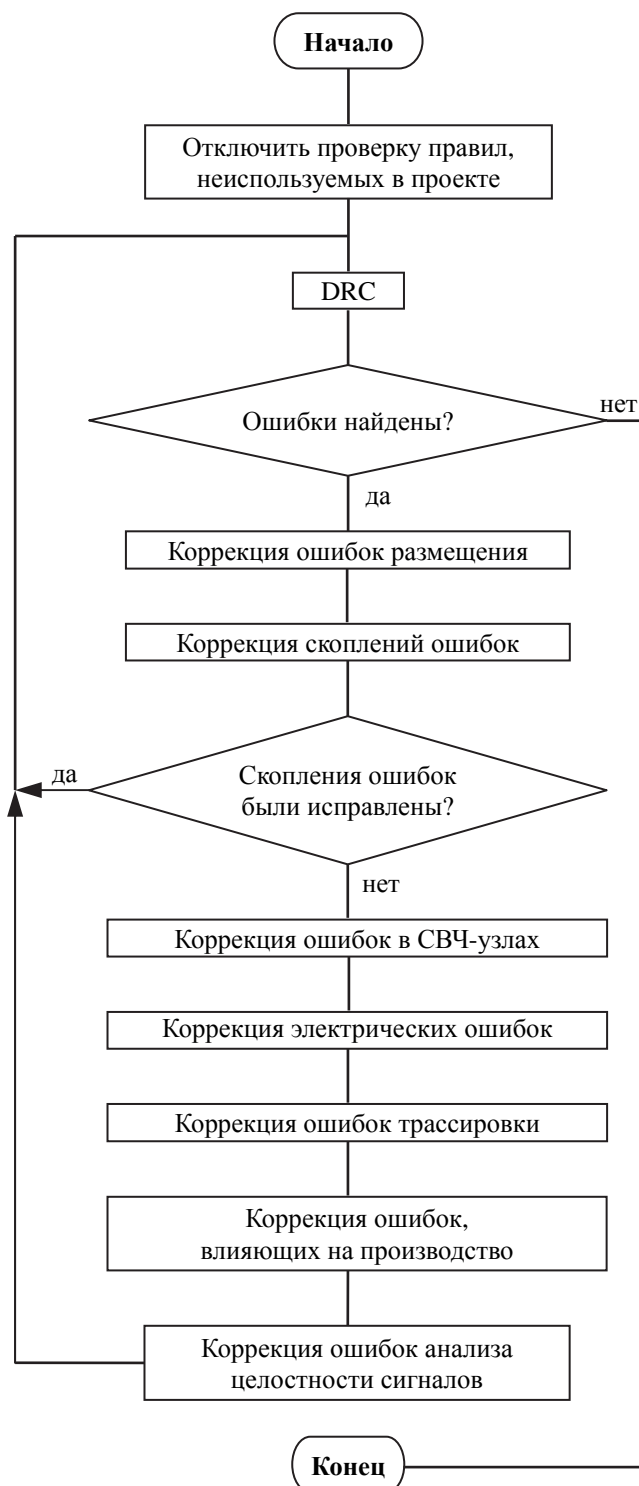


Рис. 1. Блок-схема алгоритма коррекции DRC-ошибок

Применение разработанного алгоритма коррекции DRC-ошибок в этом случае может существенно сократить сроки проектирования ПП. В импортируемой топологии ПП (например, из P-CAD в Altium Designer) присутствует очень много DRC-ошибок (более 500) и большое количество типов ошибок (более 10).

Это связано с тем, что правила проекта импортируются неверно [10]. Перед DRC-проверкой импортируемых проектов рекомендуется проверить и, при необходимости, изменить основные правила (категории правил: размещения, электрические и трассировки), а затем выполнить DRC-проверку. Количество ошибок заметно уменьшится, но все же даже в несложных проектах (несколько десятков компонентов на плате) количество ошибок может достигать 100 и более, а количество типов ошибок – 7 и более. В этом случае, кроме использования разработанного алгоритма, можно рекомендовать коррекцию исходного файла топологии ПП (подготовка к экспорту).

При разработке и апробации алгоритма в течение 5 лет было произведено около 30 модификаций ПП и около 50 экспортов проектов из различных САПР ПП. Результаты экспериментов представлены в таблице. В таблице представлены минимальные и максимальные значения: времени коррекции DRC-ошибок по порядку  $tn$  ( $tn_{min}$  и  $tn_{max}$ ), времени коррекции DRC-ошибок по алгоритму  $ta$  ( $tamin$  и  $tamax$ ) и отношений  $\Delta = tn/ta$  ( $\Delta t_{min}$  и  $\Delta t_{max}$ ). Из таблицы видно, что с ростом количества типов ошибок отношение времени коррекции DRC-ошибок по порядку ко времени коррекции DRC-ошибок по алгоритму увеличивается, т.е. чем больше типов DRC-ошибок, тем существеннее эффект применения алгоритма.

Параметры	Количество типов DRC-ошибок																
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
$tn_{min}$ , мин	1	3	7	11	13	30	44	51	57	61	62	123	195	248	307	358	477
$tamin$ , мин	1	3	6	8	9	18	25	27	29	28	27	52	83	100	115	125	147
$\Delta t_{min}$	1,00	1,00	1,17	1,38	1,44	1,67	1,76	1,89	1,97	2,18	2,30	2,37	2,35	2,48	2,67	2,86	3,24
$tn_{max}$ , мин	5	10	29	48	65	81	103	122	142	172	200	230	321	398	491	586	823
$tamax$ , мин	5	9	17	24	30	36	42	48	55	59	67	74	102	120	144	161	223
$\Delta t_{max}$	1,00	1,11	1,71	2,00	2,17	2,25	2,45	2,54	2,58	2,92	2,99	3,11	3,15	3,32	3,41	3,64	3,69

Таблица. Время коррекции DRC-ошибок в САПР ПП

### Коррекция DRC-ошибок в Altium Designer

В качестве одного из примеров модификации проекта в Altium Designer 15.0.7 был использован проект module1.pjpcb. Первая версия этого проекта включала двухслойную ПП со следующими параметрами: габариты платы –  $82 \times 63,5$  мм<sup>2</sup>, количество компонентов – 97, количество проводников – 1442, количество переходных отверстий – 65 (рис. 2). Модификация схемы в файле module1.schdoc включала удаление 5 компонентов и их связей, коррекцию подключений 7 электрических связей, добавление 2 электрических связей, замену посадочного места одного резистора. После автоматизированного внесения изменений в module1.pcbdoc и запуска DRC-проверки количество DRC-ошибок составило 90. В отчете было сформировано 5 типов ошибок. Коррекция DRC-ошибок по порядку была выполнена за 29 мин. Коррекция DRC-ошибок по разработанному алгоритму была выполнена за 20 мин. Таким образом, время исправления DRC-ошибок сократилось в 1,45 раза, – это значение входит в диапазон отношений  $\Delta t_{min}$ – $\Delta t_{max}$ (1,44–2,17), указанный в таблице (для 5 типов ошибок).

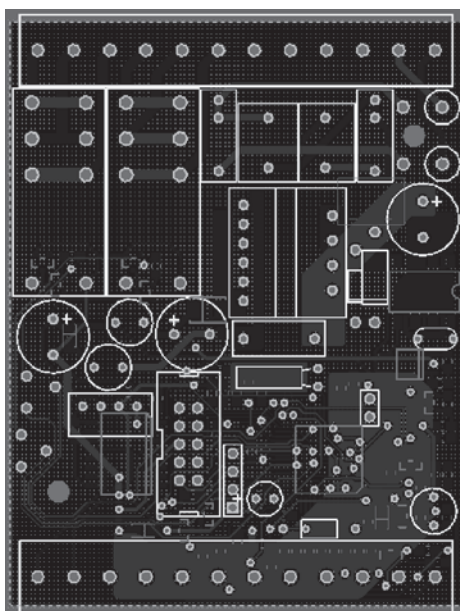


Рис. 2. Топология печатной платы module1.PcbDoc

В качестве одного из примеров экспорта был использован файл `moduleA.pcb` – это модель двухслойной ПП, спроектированная в САПР P-CAD. Параметры этой ПП: габариты платы –  $98 \times 67,5$  мм<sup>2</sup>, количество компонентов – 37, количество проводников – 578, количество переходных отверстий – 37 (рис. 3). После экспорта в Altium Designer и запуска DRC-проверки в топологии ПП было обнаружено более 500 ошибок. В DRC/Rules были скорректированы правила категорий Placement, Electrical и Routing. После этого в топологии ПП было обнаружено 334 ошибки. В отчете было сформировано 9 типов ошибок. Коррекция DRC-ошибок по порядку была выполнена за 57 мин. Коррекция DRC-ошибок по разработанному алгоритму была выполнена за 29 мин. Таким образом, время исправления DRC-ошибок сократилось в 1,97 раза – это минимальное значение в диапазоне отношений  $\Delta t_{\min} - \Delta t_{\max}$  (1,97–2,58), указанном в таблице (для 9 типов ошибок).

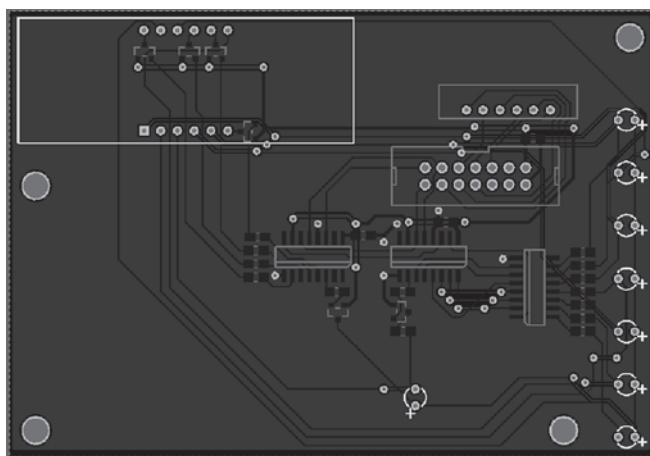


Рис. 3. Топология печатной платы `moduleA.PcbDoc`

#### Коррекция DRC-ошибок в KiCAD

В качестве одного из примеров модификации проекта в KiCAD 4.0.0 был использован проект `kit-dev-coldfire-xilinx_5213`. Первая версия этого проекта включала четырехслойную ПП со следующими параметрами: габариты платы –  $157,48 \times 91,44$  мм<sup>2</sup>, количество компонентов – 162, количество проводников – 534, количество переходных отверстий – 253 (рис. 4).

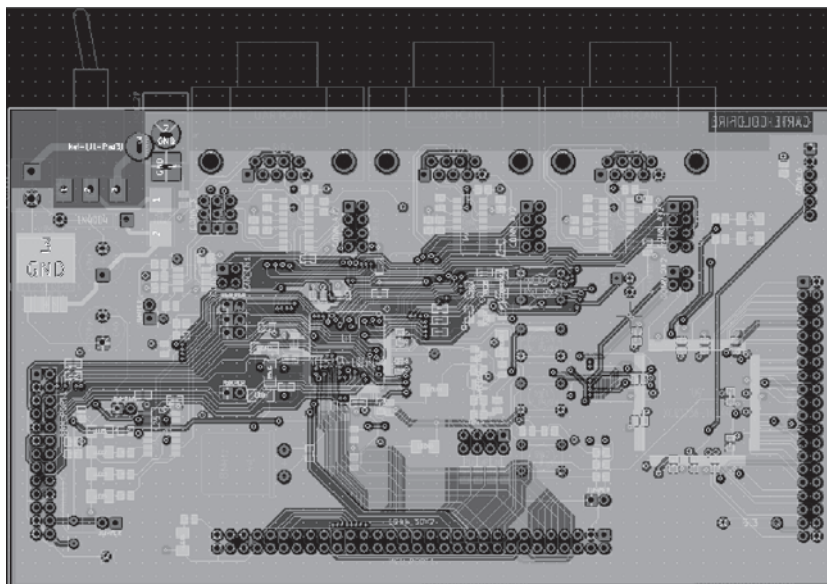


Рис. 4. Топология печатной платы `kit-dev-coldfire-xilinx_5213.kicad_pcb`

Модификация схемы `kit-dev-coldfire-xilinx_5213.sch` включала удаление 4 компонентов и их связей, коррекцию подключений 6 электрических связей, добавление 2 электрических связей, замену посадочного места одного конденсатора. После внесения изменений в файл `kit-dev-coldfire-xilinx_5213.kicad_pcb` количество DRC-ошибок составило 29. В отчете было сформировано 5 типов ошибок. Стоит отметить, что KiCAD, P-CAD, EAGLE и другие САПР ПП среднего уровня обладают меньшим функционалом, чем Altium Designer (Altium Designer является САПР высокого уровня), и количество проверяемых наруше-



ний в этих САПР значительно меньше (примерно в 2 раза) [11–14]. Например, в этих САПР не производится проверка антенн, и их приходится искать на плате самостоятельно, посредством визуального контроля. Коррекция 5 типов DRC-ошибок, найденных системой KiCAD по порядку заняла 26 мин. Еще 30 мин было затрачено на исправление 2 типов ошибок, не выявленных системой KiCAD (исправление антенн и пересечение компонентов на плате), т.е. всего было затрачено 56 мин на исправление 7 типов ошибок. Коррекция 7 типов DRC-ошибок в KiCAD по разработанному алгоритму заняла 30 мин. Таким образом, в целом время коррекции DRC-ошибок сократилось в 1,87 раза – это значение входит в диапазон отношений  $\Delta t_{\min} - \Delta t_{\max}$  (1,76–2,45), указанный в таблице (для 7 типов ошибок).

Если в САПР ПП автоматизированно не проверяются типы ошибок, указанные в алгоритме, то их надо искать самостоятельно и корректировать в последовательности, соответствующей алгоритму. В данном примере коррекция по алгоритму заняла намного меньше времени, чем по порядку. Это объясняется тем, что при коррекции по порядку коррекция ошибок размещения порождала новые ошибки зазоров и пересечений, в том числе возникали электрические ошибки, исправленные ранее (т.е. некоторые электрические ошибки приходилось корректировать повторно). При коррекции по алгоритму сначала были скорректированы ошибки размещения, что позволило избежать повторной коррекции электрических ошибок.

### Анализ результатов

Из таблицы видно, что экономия времени коррекции DRC-ошибок ( $\Delta t$ ) возрастает с количеством типов ошибок и варьируется в пределах от 1 до 3,69. Таблица составлена по результатам экспериментов в Altium Designer, P-CAD и KiCAD. Можно предположить, что в других САПР ПП зависимость примерно такая же. Имеется, конечно, и прямая зависимость времени коррекции от количества ошибок, но в данной работе она детально не рассматривается, так как время коррекции однотипных ошибок не зависит от того, был применен алгоритм или нет, потому что обычно DRC-ошибки в отчете группируются по типам. Но, если сначала исправлять группу ошибок трассировки, а затем группу ошибок размещения (т.е. в наилучшем порядке), то время коррекции ошибок по алгоритму может быть сокращено существенно (когда коррекция большого количества ошибок размещения порождает новые ошибки трассировки).

В современных многофункциональных САПР ПП (Altium Designer, Mentor Graphics Expedition, CADSTAR) разработанный алгоритм побуждает проектировщика объединять ошибки по типам и планировать последовательность коррекции ошибок. В САПР ПП с ограниченной функциональностью (KiCAD, P-CAD, EAGLE, DipTrace), помимо вышесказанного, применение алгоритма дает возможность определить, какие именно ошибки надо искать самостоятельно (посредством визуального контроля). Стоит отметить, что с ростом количества слоев ПП, количества компонентов, количества проводников и количества переходных отверстий количество DRC-ошибок и типов DRC-ошибок будет возрастать, и разница во времени (с использованием алгоритма и без) будет более существенна (время сократится в 5 и более раз). По результатам экспериментов можно рекомендовать применение разработанного алгоритма при количестве типов ошибок от 4 и более.

### Заключение

В работе предложен алгоритм коррекции DRC-ошибок. Предложенный алгоритм коррекции DRC-ошибок имеет отличительное преимущество по сравнению с традиционными подходами – разработана последовательность коррекции DRC-ошибок с учетом совокупности всех типов ошибок. Практическая значимость для разработчиков печатных плат заключается в том, что применение предложенного алгоритма позволяет сократить время проектирования печатных плат и повысить качество проектирования печатных плат, что в итоге повышает конкурентоспособность изделия.

Разработанный алгоритм был успешно применен при коррекции DRC-ошибок в нескольких десятках печатных плат в различных системах автоматизации проектирования печатных плат. На основании экспериментов можно сделать вывод, что применение алгоритма актуально при количестве типов ошибок от 4 и более. Стоит отметить, что в экспериментах использовались двух- и четырехслойные печатные платы цифровых, аналоговых и смешанных устройств; проверка выполнялась без анализа целостности сигналов и без ошибок сверхвысокочастотных узлов. В будущем планируется продолжить эксперименты в данном направлении для многослойных печатных плат (с количеством слоев более четырех) и сверхвысокочастотных устройств с использованием анализа целостности сигналов. На основе разработанного алгоритма можно увеличить функциональность DRC-проверки в существующих системах автоматизации проектирования печатных плат, что повысит эффективность ее использования.

### References

1. Zhang L., Peng X.F., He L., Wan W.L. Complete design of circuit board based on Altium Designer summer 09. *Applied Mechanics and Materials*, 2013, vol. 423–426, pp. 2679–2683. doi: 10.4028/www.scientific.net/AMM.423-426.2679

2. Wu T., Wang S.-X. Application of EDA technology in the education of automatic control system design. *Communications in Computer and Information Science*, 2011, vol. 218, no. 5, pp. 240–244. doi: 10.1007/978-3-642-23357-9\_43
3. Dilip Save Y., Rakhi R., Shambhulingayya N.D., Srivastava A., Das M.R., Choudhary S., Moudgalya K.M. OScad: an open source EDA tool for circuit design, simulation, analysis and PCB design. *Proc. 20<sup>th</sup> Int. Conf. on Electronics, Circuits, and Systems*, 2013, pp. 851–854. doi: 10.1109/ICECS.2013.6815548
4. Zhai X.J., Bensaali F. Improved number plate character segmentation algorithm and its efficient FPGA implementation. *Journal of Real-Time Image Processing*, 2015, vol. 10, no. 1, pp. 91–103. doi: 10.1007/s11554-012-0258-5
5. O'Riordan D. Capturing and applying design intent. *Electronic Engineering Times*, 2006, no. 8, pp. 1435–1444.
6. Pais A.P.V., Anido M.L., Oliveira C.E.T. Developing a distributed architecture for design rule checking. *Proc. 44<sup>th</sup> IEEE 2001 Midwest Symposium on Circuits and Systems*. Dayton, OH, 2001, vol. 2, pp. 678–681. doi: 10.1109/MWSCAS.2001.986279
7. Page T. Implementation of sample design rules in a commercially used PCB design application. *Advances in Manufacturing Technology*, 2000, vol. XIV, pp. 125–129.
8. Ismail M., El Shamy R.S., Madkour K., Hammouda S., Swillam M.A. Toward new design-rule-check of silicon photonics for automated layout physical verifications. *Proceedings of SPIE - The International Society for Optical Engineering*, 2015, vol. 9367, art. 93671K. doi: 10.1117/12.2078357
9. Romanova E.B., Sumtsov A.V. Analysis and correction of DRC-errors in EDA system. *Journal of Instrument Engineering*, 2015, vol. 58, no. 10, pp. 840–846. doi: 10.17586/0021-3454-2015-58-10-840-846
10. Romanova E.B. Import of projects from P-CAD to Altium Designer. *Tekhnologii v Elektronnoi Promyshlennosti*, 2012, no. 3(55), pp. 18–19.
11. Arustamov S.A., Gatchin Yu.A., Romanova E.B. P-CAD-2006 package functional analysis based on usage experience. *Scientific and Technical Journal of Information Technologies, Mechanics and Optics*, 2009, no. 1 (59), pp. 114–120.
12. Kuznetsova O.V., Korobeinikov A.G., Romanova E.B. Comparative analysis of P-CAD 2006 and 2012 ALTIUM DESIGNER. *Cybernetics and Programming*, 2013, no. 6, pp. 17–27. (In Russian)
13. Charras J.P., Tappero F. *KiCad. Pcbnew*. Available at: <http://docs.kicad-pcb.org/en/pcbnew.pdf> (accessed 20.09.2015).
14. *EAGLE. Manual Version 7. Available at: [http://www.cadsoftusa.com/fileadmin/journalist/Documents/V7.3\\_manual\\_en.pdf](http://www.cadsoftusa.com/fileadmin/journalist/Documents/V7.3_manual_en.pdf)* (accessed 20.09.2015).

**Романова Ева Борисовна**

– кандидат технических наук, доцент, доцент, Университет ИТМО, Санкт-Петербург, 197101, Российская Федерация, [eva\\_rom@mail.ru](mailto:eva_rom@mail.ru)

**Eva B. Romanova**

– PhD, Associate professor, Associate professor, ITMO University, Saint Petersburg, 197101, Russian Federation, [eva\\_rom@mail.ru](mailto:eva_rom@mail.ru)