

УДК 621.3.049.77

МЕТОД СИНТЕЗА СХЕМОТЕХНИЧЕСКИХ МОДЕЛЕЙ ЦИФРО-АНАЛОГОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ ДЛЯ ИНТЕГРАЛЬНЫХ СХЕМ

А.А. Михтеева^{a,b}, И.В. Лемко^a

^a АО «Концерн «ЦНИИ «Электроприбор», Санкт-Петербург, 197046, Российская Федерация

^b Университет ИТМО, Санкт-Петербург, 197101, Российская Федерация

Адрес для переписки: designcenter.spb@mail.ru

Информация о статье

Поступила в редакцию 26.01.18, принята к печати 28.02.18

doi: 10.17586/2226-1494-2018-18-2-331-338

Язык статьи – русский

Ссылка для цитирования: Михтеева А.А., Лемко И.В. Метод синтеза схемотехнических моделей цифро-аналоговых преобразователей для интегральных схем // Научно-технический вестник информационных технологий, механики и оптики. 2018. Т. 18. № 2. С. 331–338. doi: 10.17586/2226-1494-2018-18-2-331-338

Аннотация

Предмет исследования. Паразитные параметры, возникающие на этапе топологической реализации схемотехнической модели аналогового блока, оказывают негативное влияние на характеристики аналогового блока. Наличие значительного количества паразитных параметров может послужить причиной несоответствия блока его техническим требованиям, что ведет к проектированию новой схемотехнической модели всего блока. Поскольку отсутствует автоматизированный подход к преобразованию поведенческих моделей с учетом паразитных параметров, увеличиваются временные затраты на проектирование. В работе рассмотрены особенности автоматизированного перехода от аналоговых поведенческих моделей к схемотехническим. Показана необходимость детального анализа типов паразитных параметров на схемотехническом уровне для их исключения из топологической реализации. **Метод.** Предложен метод синтеза аналоговых схемотехнических моделей цифро-аналоговых преобразователей, предназначенный для снижения влияния паразитных параметров за счет их анализа и учета на схемотехническом уровне. Метод обеспечивает возможность разработки схемы с применением различных технологий. **Основные результаты.** Метод содержит по сравнению с традиционным маршрутом проектирования цифро-аналогового преобразователя дополнительные этапы: уточняется поведенческая модель, преобразовывается схемотехническая модель, выполняется анализ паразитных параметров, оказывающих наибольшее влияние. Для реализации метода разработано программное обеспечение, выполняющее автоматизированное преобразование поведенческой модели в схемотехническую. Метод был использован при проектировании 12-разрядного цифро-аналогового преобразователя по технологии 350 нм. Определены паразитные параметры, исключение которых позволило повысить быстродействие блока. **Практическая значимость.** Предложенный метод может быть использован при разработке цифро-аналогового преобразователя для любой технологии изготовления, позволит снизить влияние паразитных параметров и сократить временные затраты на проектирование. Метод позволяет обеспечить автоматизированную генерацию сразу нескольких вариантов архитектур.

Ключевые слова

интегральная схема, цифро-аналоговые преобразователи, синтез, схемотехнические модели, паразитные параметры

Благодарности

Работа проводилась при поддержке гранта РФФИ 16-08-000640.

SYNTHESIS METHOD OF DIGITAL-TO-ANALOG CONVERTER SCHEMATIC MODELS FOR INTEGRATED CIRCUITS

A.A. Mikhteeva^{a,b}, I.V. Lemko^a

^a Concern "CSRI Elektropribor", Saint Petersburg, 197046, Russian Federation

^b ITMO University, Saint Petersburg, 197101, Russian Federation

Corresponding author: designcenter.spb@mail.ru

Article info

Received 26.01.18, accepted 28.02.18

doi: 10.17586/2226-1494-2018-18-2-331-338

Article in Russian

For citation: Mikhteeva A.A., Lemko I.V. Synthesis method of digital-to-analog converter schematic models for integrated circuits. *Scientific and Technical Journal of Information Technologies, Mechanics and Optics*, 2018, vol. 18, no. 2, pp. 331–338 (in Russian). doi: 10.17586/2226-1494-2018-18-2-331-338

Abstract

Subject of Research. Parasitic parameters, which appear on layout design stage of analog schematic model, cause negative effect on analog block performance. The presence of negative effect of parasitic parameters can be the reason for block inadequacy to its technical requirements. It leads to new design of schematic model. Since there is no automatic approach for generation of schematic models, which takes into account all types of parasitic parameters, time-consuming design efforts increase. The paper presents features of automated moving from analog behavioral models to schematic ones. It is shown that detailed analysis of different types of parasitic parameters should be performed on schematic level to eliminate them from layout. **Method.** A method of analog model synthesis for digital-to-analog converter (DAC) is proposed. The proposed method improves block performance by minimization of parasitic parameters and provides technology migration. **Main Results.** The method contains additional stages as compared to traditional design flow: generation of schematic models from behavioral models, analysis of different types of parasitic parameters and the stage of model refinement. For implementation of the generation stage the software was designed, which performs automated generation of schematic model from behavioral description. The method was used to design 12-bit DAC on 350 nm technology. Parasitic parameters were defined and eliminated to increase the block high-speed performance. **Practical Relevance.** The proposed method can be used for DAC design on any technology. The method allows decreasing the effect of parasitic parameters and reducing design effort. The method gives the possibility for generating several architecture variants at once.

Keywords

integrated circuit, digital-to-analog converter, synthesis, schematic model, parasitic parameters

Acknowledgements

This work was supported by the project no. 16-08-00640 of the Russian Foundation for Basic Research, the Russian Federation.

Введение

Синтез схмотехнических моделей цифровых блоков интегральной схемы (ИС) автоматизирован многими компаниями производителями средств автоматизированного проектирования интегральных схем (САПР) и выполняется программой на основе заложенных алгоритмов [1]. Разработчику цифровых блоков ИС необходимо указать технологические библиотеки стандартных ячеек, параметры синтеза и задать требования к генерации списка вентилях и их соединений. Автоматизация данного процесса сокращает временные затраты на разработку цифрового блока, и позволяет переносить цифровой проект с одной технологии изготовления на другую.

В настоящее время аналоговые блоки ИС в зависимости от уровня абстракции могут быть представлены в виде аналоговых поведенческих, схмотехнических моделей и топологической реализации. Аналоговые поведенческие модели разрабатываются с использованием расширений языков описания аппаратуры (HDL AMS), в которых аналоговый блок ИС представляется в виде математических уравнений [2]. Такие модели используются при совместном моделировании аналого-цифровых частей блока. Совместное моделирование необходимо как для верификации на системном уровне аналого-цифрового блока, так и для тестирования функционирования всей интегральной схемы. Использование аналоговых поведенческих моделей позволяет сократить временные затраты на моделирование [3], поскольку требует меньших вычислительных ресурсов, чем схмотехнические, и позволяет выполнять верификацию отдельных блоков, когда другие на уровне транзисторов еще не разработаны [4].

Схмотехнические модели (модели на транзисторном уровне) обычно разрабатываются в САПР вручную, что увеличивает трудоемкость их проектирования [5]. Универсальный метод перехода от аналоговых поведенческих моделей к схмотехническим, аналогичный методам синтеза цифровых блоков, отсутствует. Существуют методы генерации схмотехнических моделей, позволяющие сократить временные затраты. Метод генерации схмотехнических моделей из шаблонов ограничен выбором архитектуры из уже имеющихся, заложенных в программе. Метод генерации функционального описания блока из спецификации [6] требует ручного проектирования схмотехнической модели. Метод генерации схмотехнических моделей с помощью библиотек стандартных аналоговых ячеек [7] требует разработки библиотек аналоговых элементов и не позволяет переводить схему с одной технологии на любую другую.

Поскольку в настоящее время процесс проектирования блоков интегральных схем во многом зависит от программного обеспечения и технологии изготовления, целесообразна генерация аналоговых моделей из уже существующих средств описания функционирования блока, поддерживаемых в САПР различных компаний, в схмотехнические модели известных САПР. Такими средствами функционального описания блока могут быть аналоговые поведенческие модели [8].

После разработки топологии и экстракции паразитных параметров уточнение поведенческих моделей путем добавления некоторых паразитных параметров в уравнение выходной характеристики позволяет учесть влияние топологической реализации на характеристики не только блока, но всей интегральной схемы [3]. Влияние паразитных параметров может стать причиной несоответствия разрабатываемого блока его техническим требованиям (ТТ). В этом случае необходимо либо выбрать новую архитектуру и спроектировать заново блок, либо изменить уже разработанную топологию. Для изменения топологии потребуется определение и удаление паразитных параметров, оказывающих наибольшее влияние на характеристики.

В работе предлагается метод синтеза аналоговых схмотехнических моделей цифро-аналоговых преобразователей в схмотехническую модель. Метод предназначен для определения паразитных параметров, необходимых для уточнения топологической реализации, что позволит улучшить характеристики блока. Метод позволит обеспечить возможность разработки схемы цифро-аналогового преобразователя (ЦАП) на различных технологиях и сократить временные затраты на проектирование.

Метод синтеза схмотехнических моделей цифро-аналогового преобразователя

В традиционном маршруте проектирования после этапа разработки поведенческой модели вручную разрабатывается схмотехническая модель блока. В процессе моделирования определяются предполагаемые характеристики и сравниваются с ТТ. После успешной верификации приступают к разработке топологической реализации. Однако на этапе разработки топологии появляются паразитные параметры из-за межсоединений, пересечения проводников и появления краевых эффектов, которые негативно сказываются на характеристиках блока. Паразитные параметры выявляются на этапе экстракции параметров, который автоматизирован в САПР по закрытым алгоритмам.

Для снижения влияния паразитных параметров на характеристики ЦАП необходимо определить те паразитные параметры, которые оказывают наибольшее влияние, и исключить их из топологической реализации блока. Для решения данной задачи разработан метод синтеза схмотехнических моделей ЦАП из поведенческих, который подразумевает дополнительные этапы по сравнению с традиционным маршрутом проектирования (рис. 1):

1. Преобразование поведенческой модели ЦАП в схмотехническую;
2. Анализ паразитных параметров, экстрагированных из разработанной топологии, и уточнение поведенческой модели ЦАП;
3. Преобразование уточненной поведенческой модели ЦАП в схмотехническую;
4. Определение паразитных параметров, оказывающих наибольшее влияние на характеристики блока ЦАП, и формирование рекомендаций к изменению топологической реализации для удовлетворения ТТ;
5. Итеративное повторение пунктов 2–4 до тех пор, когда топология блока станет удовлетворять техническим требованиям или будет определено, что топологическая реализация блока на данной технологии не может удовлетворить ТТ.



Рис. 1. Сравнение традиционного маршрута проектирования и маршрута с использованием предлагаемого метода

Преобразование схмотехнической модели ЦАП из поведенческой

Известно, что из архитектуры ЦАП можно составить уравнение его выходной характеристики. Решим обратную задачу, попытаемся восстановить архитектуру ЦАП (схмотехническое представление блока ИС) из уравнения его выходной характеристики. В этом случае необходимо выполнить следующие шаги:

1. определить в уравнении переменные, отвечающие за входные и выходные порты;
2. определить в уравнении переменные, отвечающие за элементы схемы (конденсаторы, резисторы и др.);
3. определить по уравнению взаимосвязь элементов схемы согласно правилам построения делителей напряжения и тока в соответствии с основами теории электротехники.

Суть данного этапа заключается в восстановлении схемотехнического представления ЦАП из уравнения его выходной характеристики, описанной в аналоговой поведенческой модели. Программное обеспечение, реализующее данный метод, позволит сократить временные затраты на переход от поведенческой модели к схемной реализации.

Анализ паразитных параметров и уточнение поведенческой модели ЦАП

Паразитные параметры после экстракции в САПР представляются в виде списка параметров, их значений и соединений. После экстракции паразитных параметров необходимо проанализировать их расположение и значения. Для этого необходимо сформировать список, упорядочив паразитные параметры по убыванию их значений, и исключить из списка те параметры, которые не влияют на выходную характеристику. Далее в уравнение выходной характеристики ЦАП предлагается внести все не исключенные паразитные параметры, определенные при экстракции паразитных параметров из разработанной средствами САПР топологической реализации. По сравнению с существующими подходами [3, 9–14] особенностью метода является учет не только паразитных параметров, возникающих между верхними обкладками конденсаторов ЦАП и подложкой ($C_{p_top_vcm\#}$) (рис. 2), но и паразитных параметров, возникающих (рис. 3):

1. между верхними обкладками соседних и не соседних элементов ЦАП ($C_{p_top_top\#}$);
2. между нижними обкладками соседних и не соседних элементов ЦАП ($C_{p_bot_bot\#}$);
3. между нижней обкладкой элемента ЦАП и верхней обкладкой соседних и несоседних элементов ЦАП ($C_{p_bot_top\#}$);
4. между нижней обкладкой элемента ЦАП и подложкой ($C_{p_bot_vcm\#}$).

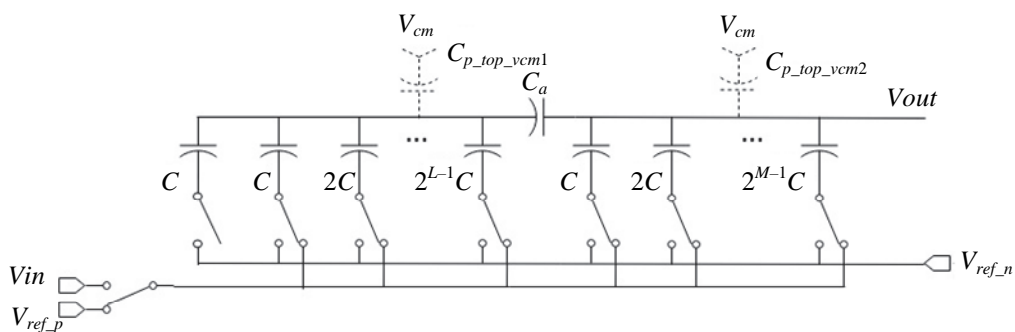


Рис. 2. Паразитные параметры, которые традиционно учитываются при разработке поведенческих моделей [9]

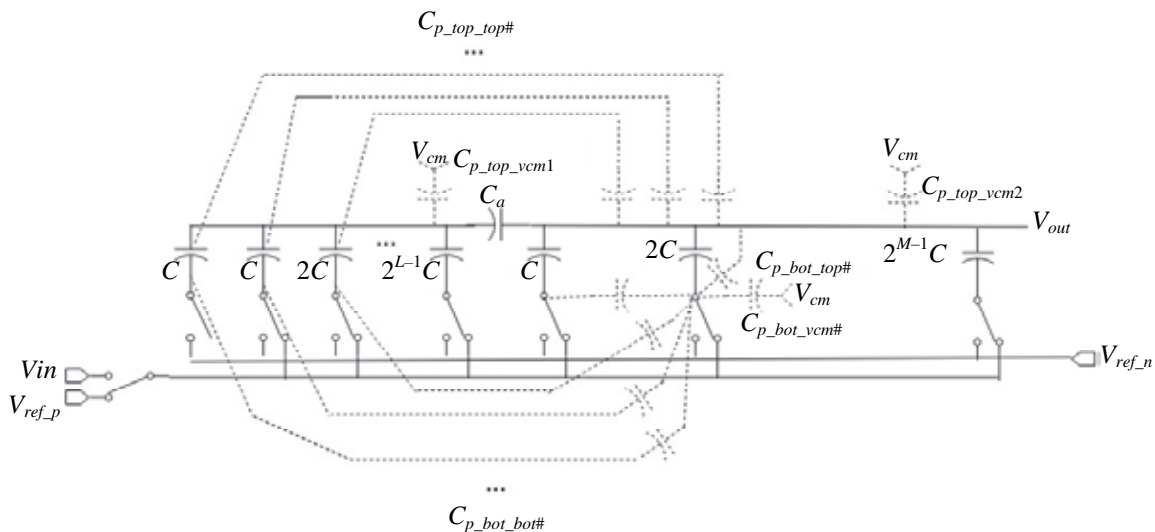


Рис. 3. Паразитные параметры, которые предлагается учитывать при разработке поведенческих моделей

Уравнение (1) учитывает лишь паразитные параметры, возникающие между верхними обкладками элементов ЦАП и подложкой. Уточнение паразитных параметров осуществляется суммированием правой части уравнения (1) с выражением (2).

$$V_{dac} = V_{ref} \cdot \frac{(C_{sumL} + C_a) \cdot [(b7 + 2 \cdot (b8 + 2 \cdot (b9 + 2 \cdot (b10 + 2 \cdot (b11 + 2 \cdot b12))))] \cdot C + (C_{sumL} + C_a) \cdot C_{p_top_vcm2} + (C_{sumL} + C_a) \cdot C_{sumM} + C_{sumL} \cdot C_a}{(C_{sumL} + C_a) \cdot C_{sumM} + C_{sumL} \cdot C_a} + V_{ref} \cdot \frac{C_a \cdot [(b1 + 2 \cdot (b2 + 2 \cdot (b3 + 2 \cdot (b4 + 2 \cdot (b5 + 2 \cdot b6))))] \cdot C + C_{p_top_vcm1} \cdot C_a}{(C_{sumL} + C_a) \cdot C_{sumM} + C_{sumL} \cdot C_a}, \quad (1)$$

где V_{dac} – напряжение на выходе ЦАП, В; C_a – емкость мостового конденсатора, выражается через емкость единичного конденсатора C , Ф; C – емкость единичного конденсатора, Ф; V_{ref} – опорное напряжение, В; C_{sumL} – емкость конденсаторов в массиве младших разрядов, Ф; C_{sumM} – емкость конденсаторов в массиве старших разрядов, Ф; $C_{p_top_vcm1}$, $C_{p_top_vcm2}$ – паразитная емкость между верхними обкладками элементов ЦАП и подложкой, Ф; $b1.. b12$ – входной цифровой код.

$$V_{ref} \cdot \frac{[C_{p_bot_top1} \cdot b1 + C_{p_bot_top2} \cdot b2 + \dots] \cdot C_a + \dots}{(C_{sumL} + C_a) \cdot C_{sumM} + C_{sumL} \cdot C_a}, \quad (2)$$

где C_a – емкость мостового конденсатора, Ф; V_{ref} – опорное напряжение, В; C_{sumL} – емкость конденсаторов в массиве младших разрядов, Ф; C_{sumM} – емкость конденсаторов в массиве старших разрядов, Ф; $C_{p_bot_top1}$, $C_{p_bot_top2}$ – емкость между нижними и верхними обкладками соседних и не соседних конденсаторов, Ф; $b1.. b12$ – входной цифровой код.

Определение паразитных параметров, оказывающих наибольшее влияние на характеристики ЦАП

После преобразования уточненной поведенческой модели в уточненную схемотехническую предлагается выполнить следующие шаги.

Шаг 1. Параметризовать паразитную емкость, полученную после этапа экстракции и имеющую наибольшее значение.

Шаг 2. Провести моделирование со значением параметра от 0 до значения, полученного при экстракции.

Шаг 3. По результатам моделирования определить предполагаемые значения интегральной и дифференциальной нелинейности, а также быстродействия.

Шаг 4. На основе вычисленных значений нелинейности и быстродействия построить зависимость нелинейности и быстродействия от параметризованной паразитной емкости. Определить значения паразитной емкости, при которой блок ЦАП станет удовлетворять ТТ.

Шаг 5. Если установлено, что уменьшение или полное исключение выбранной паразитной емкости улучшает характеристики ЦАП, но не позволяет удовлетворить ТТ, то параметризуется еще одна паразитная емкость, стоящая в списке следующей. Шаги 2–4 повторяются.

Шаг 6. После определения значений паразитных емкостей, при которых ЦАП удовлетворяет требованиям, формируются рекомендации к топологической реализации. Рекомендации содержат описание желательных сокращений длин проводников и изменений размещения элементов, которые позволят уменьшить паразитные параметры, имеющие наибольшее значение на характеристики ЦАП.

Программное обеспечение для реализации метода

Для реализации первого и третьего этапа метода синтеза разработано программное обеспечение на языке C++, которое содержит следующие стадии преобразования поведенческой модели в схемотехническую (рис. 4): сопоставление переменных модели с библиотекой фабрики-изготовителя ИС, анализ синтаксических конструкций модели, формирование списка соединения элементов и их размещение на схеме блока ИС. Предполагается, что поведенческая модель ЦАП содержит уравнение выходной характеристики без каких-либо сокращений и не имеет синтаксических ошибок.

На стадии сопоставления переменных с библиотекой фабрики-изготовителя ИС в коде поведенческой модели происходит поиск названия входных и выходных портов. Затем определяются все переменные, указанные в модели, и сохраняются в структуру данных, содержащую имя переменной, тип переменной, начальное значение, элемент технологической библиотеки фабрики-изготовителя ИС, значение элемента технологической библиотеки.

После первого прохода по коду поведенческой модели ЦАП генерируется файл с переменными модели, чтобы было возможно сопоставление переменной с элементом технологической библиотеки фабрики-изготовителя ИС. На стадии сопоставления переменных с библиотекой фабрики-изготовителя ИС генерируется файл с описанием переменных. Пользователь вручную добавляет в файл название элементов библиотеки, которым соответствуют переменные. Пример содержимого файла с описанием переменных представлен на рис. 5.

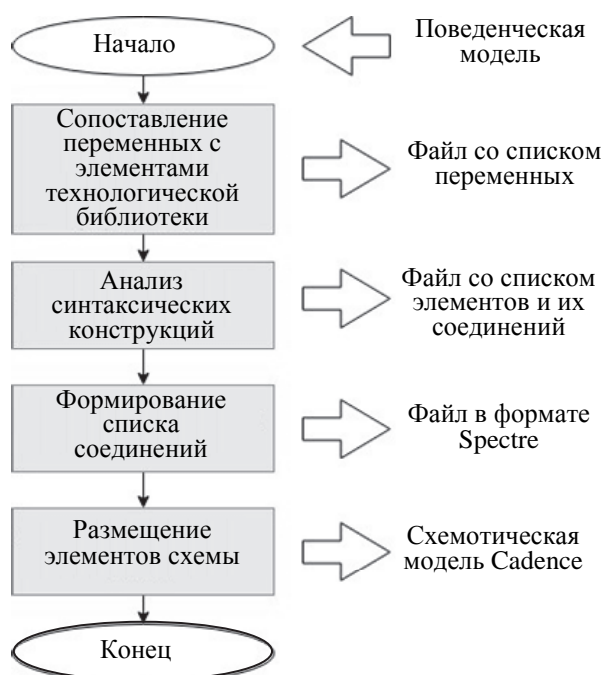


Рис. 4. Этап преобразования поведенческой модели в схематическую метода синтеза цифро-аналогового преобразователя

```

0) sw_cm; type= logic value=0; lib=port; lib_value=in;
1) sw_ref; type= logic value=0; lib=port; lib_value=in;
2) b0; type= logic value=0; lib=port; lib_value=in;
3) b1; type= logic value=0; lib=port; lib_value=in;
4) b2; type= logic value=0; lib=port; lib_value=in;
5) b3; type= logic value=0; lib=port; lib_value=in;
6) b4; type= logic value=0; lib=port; lib_value=in;
7) b5; type= logic value=0; lib=port; lib_value=in;
8) b6; type= logic value=0; lib=port; lib_value=in;
9) b7; type= logic value=0; lib=port; lib_value=in;
10) b8; type= logic value=0; lib=port; lib_value=in;
11) b9; type= logic value=0; lib=port; lib_value=in;
12) b10; type= logic value=0; lib=port; lib_value=in;
13) b11; type= logic value=0; lib=port; lib_value=in;
14) b12; type= logic value=0; lib=port; lib_value=in;
15) vdac; type= electrical value=0; lib=port; lib_value=out;
16) vrefp; type= real value=3.3; lib=; lib_value=;
17) vin; type= real value=1.85; lib=; lib_value=;
18) vrefn; type= real value=0; lib=; lib_value=;
19) vcm; type= real value=1.65; lib=; lib_value=;
20) dacout1; type= real value=0; lib=; lib_value=;
21) dacout2; type= real value=0; lib=; lib_value=;
22) temp_dac1; type= real value=0; lib=; lib_value=;
23) temp_dac2; type= real value=0; lib=; lib_value=;
24) temp_dac3; type= real value=0; lib=; lib_value=;
25) Ca; type= real value=1.01587; lib=cpoly; lib_value=89ff;
26) Csum1; type= real value=64; lib=; lib_value=;
27) Csumm; type= real value=63; lib=; lib_value=;
28) C; type= real value=1; lib=cpoly; lib_value=90ff;
    
```

Рис. 5. Содержимое файла с описанием переменных

На стадии анализа синтаксических конструкций поведенческой модели применен метод рекурсивного спуска. Прежде всего определяется переменная, отвечающая за выходную характеристику. Затем выполняется поиск самого уравнения выходной характеристики. Далее методом рекурсивного спуска определяются слагаемые и множители уравнения. Результатом на данной стадии является формирование цепочек соединенных между собой элементов схемы блока ИС. Формирование списка соединения элементов ЦАП осуществляется при анализе цепочек соединенных между собой элементов. При нахождении двух соединенных между собой элементов библиотеки один из них помечается как мостовой элемент. Результатом работы программы является файл Spectre, который после импорта в программную среду Cadence принимает вид схематической модели ЦАП.

Предложенный метод был использован при разработке 12-разрядного ЦАП с двухступенчатым массивом конденсаторов с одним мостовым конденсатором для интегральной схемы микромеханического акселерометра [15]. В результате работы программного обеспечения из поведенческой модели была получена схематическая модель ЦАП (рис.6).

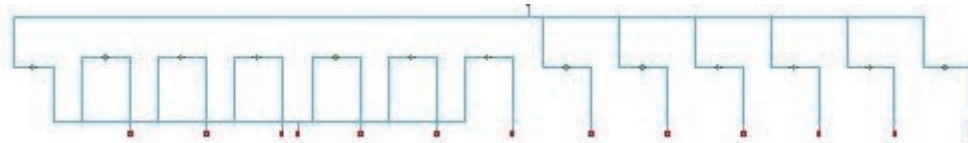


Рис. 6. Пример преобразованной схмотехнической модели цифро-аналогового преобразователя в Cadence Virtuoso

После разработки топологической реализации было определено, что наибольшее влияние на нелинейность оказывают паразитные параметры между верхними обкладками элементов ЦАП и подложкой. На снижение быстродействия повлияли паразитные параметры между нижними обкладками элементов С6 и С12 с подложкой.

Заключение

Разработан метод синтеза аналоговых схмотехнических моделей цифро-аналоговых преобразователей, который позволяет выявить все значимые паразитные параметры и определить параметры, необходимые для исключения из топологической реализации. Кроме этого, метод позволяет обеспечить разработку схемы на различных технологиях. Для реализации метода разработано программное обеспечение, которое выполняет преобразование аналоговой модели на языке Verilog-AMS в схмотехническую модель цифро-аналогового преобразователя программной среды Cadence Virtuoso. Программное обеспечение включает синтаксический анализ кода, сопоставление переменных с технологической библиотекой фабрики-изготовителя интегральных схем и размещение компонентов на схеме в программной среде Cadence Virtuoso. Предложенный метод был использован при разработке 12-разрядного цифро-аналогового преобразователя с двухступенчатым массивом конденсаторов по технологии 350 нм.

Предложенный метод синтеза может быть использован для автоматической генерации сразу нескольких вариантов архитектур для их анализа на уровне транзисторов, модифицирован и использован для любых аналоговых блоков.

Литература

1. Lavango L., Markov I.L., Martin G., Scheffer L.K. *Electronic Design Automation for Integrated Circuit Handbook*. 2nd ed. CRC Press, 2016. 1472 p.
2. Адамов Ю.Ф., Шишина Л.Ю. Проектирование систем на кристалле. М.: МИЭТ, 2005. 163 с.
3. Осипов Д.Л. Применение поведенческих моделей для проектирования сложно-функциональных блоков аналого-цифровых преобразователей: дис. ... канд. техн. наук. Москва, 2013. 138 с.
4. O'Riordan D., O'Sullivan C. *Mixed-Signal Design and Verification Methodology for Complex SoCs*. S3 Group, 2013.
5. Адамов Ю.Ф., Грушевский А.М., Тимошенко С.П. Проектирование систем на печатных платах на САПР Mentor Graphics. Часть 1: Современные проблемы проектирования и технологии микросистемных систем. Москва, МИЭТ, 2008. 352 с.
6. Ochotta E.S., Rutenbar R.A., Carley L.R. Synthesis of high-performance analog circuits in ASTRX/OBLX // *IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems*. 1996. V. 15. N 3. P. 273–294. doi: 10.1109/43.489099
7. Waters A. *Automated Verilog-to-Layout Synthesis of ADCs Using Custom Analog Cell*. PhD Thesis. 2015.
8. Kundert K.S., Zinke O. *The Designer's Guide to Verilog-AMS*. Springer, 2004. 270 p.
9. Osipov D., Bocharov Y. Behavioral model of split capacitor array DAC for use SAR ADC design // *Proc. 8th Conference of Ph.D. Research in Microelectronics and Electronics*. Aachen, Germany, 2012. P. 127–130.
10. Li Y., Lian Y. Improved binary-weighted split-capacitive-array DAC for high-resolution SAR ADCs // *Electronics Letters*. 2014. V. 50. N 17. P. 1194–1195. doi: 10.1049/el.2014.1752
11. Fiorelli R., Guerra O., Del Rio R., Rodriguez-Vazquez A. Effects of capacitors non-idealities in un-even split-capacitor array SAR ADCs // *Proc. Conference on Design of Circuits and Integrated Systems*. Estoril, Portugal, 2015. doi: 10.1109/DCIS.2015.7388595
12. Rosenberg F.H. 8-bit 50ksp/s ULV SAR ADC. Master's Thesis. Trondheim, Norway, 2015. 79 p.

References

1. Lavango L., Markov I.L., Martin G., Scheffer L.K. *Electronic Design Automation for Integrated Circuit Handbook*. 2nd ed. CRC Press, 2016, 1472 p.
2. Adamov Yu.F., Shishina L.Yu. *Design of System on Chip*. Moscow, MIET Publ., 2005, 163 p. (in Russian)
3. Osipov D.L. *The use of Behavioral Models for the Design of Complex-Functional Blocks of Analog-to-Digital Aonverters*. Dis. PhD Eng. Sci. Moscow, 2013, 138 p. (in Russian)
4. O'Riordan D., O'Sullivan C. *Mixed-Signal Design and Verification Methodology for Complex SoCs*. S3 Group, 2013.
5. Adamov Yu.F., Grushevskii A.M., Timoshenkov S.P. *Systems Designing on Printed Circuit using Mentor Graphics CAD. Part 1: Present Problems of Designing and Microelectronic Systems Technologies*. Moscow, MIET Publ., 2008, 352 p. (in Russian)
6. Ochotta E.S., Rutenbar R.A., Carley L.R. Synthesis of high-performance analog circuits in ASTRX/OBLX. *IEEE Transactions on Computer-Aided Design of Integrated Circuit and Systems*, 1996, vol. 15, no. 3, pp. 273–294. doi: 10.1109/43.489099
7. Waters A. *Automated Verilog-to-Layout Synthesis of ADCs Using Custom Analog Cell*. PhD Thesis. 2015.
8. Kundert K.S., Zinke O. *The Designer's Guide to Verilog-AMS*. Springer, 2004, 270 p.
9. Osipov D., Bocharov Y. Behavioral model of split capacitor array DAC for use SAR ADC design. *Proc. 8th Conference of Ph.D. Research in Microelectronics and Electronics*. Aachen, Germany, 2012, pp. 127–130.
10. Li Y., Lian Y. Improved binary-weighted split-capacitive-array DAC for high-resolution SAR ADCs. *Electronics Letters*, 2014, vol. 50, no. 17, pp. 1194–1195. doi: 10.1049/el.2014.1752
11. Fiorelli R., Guerra O., Del Rio R., Rodriguez-Vazquez A. Effects of capacitors non-idealities in un-even split-capacitor array SAR ADCs. *Proc. Conference on Design of Circuits and Integrated Systems*. Estoril, Portugal, 2015. doi: 10.1109/DCIS.2015.7388595
12. Rosenberg F.H. 8-bit 50ksp/s ULV SAR ADC. Master's Thesis. Trondheim, Norway, 2015, 79 p.

13. Lyu T., Yao S., Nie K., Xu J. A 12-bit high-speed column-parallel two-step single-slope analog-to-digital converter (ADC) for CMOS image sensors // *Sensors*. 2014. V. 14. P. 21603–21625. doi: 10.3390/s141121603
14. Zhu Y., Chio U-F., Wei H.G., Sin S.W., Seng-Pan U., Martins R.P. Linearity analysis on a series-split capacitor array for high-speed SAR ADCs // *VLSI Design*. 2010. V. 2010. Art. 706548. doi: 10.1155/2010/706548
15. Lemko I.V., Belyaev Y.V., Kostygov D.V., Nevirkovets N.N., Andryakov Y.A., Mikhteeva A.A. Integrated circuit layout design for a micromechanical accelerometer // *Proc. 24th St. Petersburg Int. Conf. on Integrated Navigation Systems*. St. Petersburg, 2017. doi: 10.23919/ICINS.2017.7995648
13. Lyu T., Yao S., Nie K., Xu J. A 12-bit high-speed column-parallel two-step single-slope analog-to-digital converter (ADC) for CMOS image sensors. *Sensors*, 2014, vol. 14, pp. 21603–21625. doi: 10.3390/s141121603
14. Zhu Y., Chio U-F., Wei H.G., Sin S.W., Seng-Pan U., Martins R.P. Linearity analysis on a series-split capacitor array for high-speed SAR ADCs. *VLSI Design*, 2010, vol. 2010, art. 706548. doi: 10.1155/2010/706548
15. Lemko I.V., Belyaev Y.V., Kostygov D.V., Nevirkovets N.N., Andryakov Y.A., Mikhteeva A.A. Integrated circuit layout design for a micromechanical accelerometer. *Proc. 24th St. Petersburg Int. Conf. on Integrated Navigation Systems*. St. Petersburg, 2017. doi: 10.23919/ICINS.2017.7995648

Авторы

Миктеева Анна Александровна – младший научный сотрудник, АО «Концерн «ЦНИИ «Электрон», Санкт-Петербург, 197046, Российская Федерация; сотрудник подразделения «Международная лаборатория «Интегрированные системы ориентации и навигации», Университет ИТМО, Санкт-Петербург, 197101, Российская Федерация, Scopus ID: 57195502932, ORCID ID: 0000-0002-0637-6987, designcenter.spb@mail.ru

Лемко Илья Владимирович – инженер, АО «Концерн «ЦНИИ «Электрон», Санкт-Петербург, 197046, Российская Федерация, Scopus ID: 57195505604, ORCID ID: 0000-0001-9050-9000, lemkoiliya@yandex.ru

Authors

Anna A. Mikhteeva – Junior scientific researcher, Concern "CSRI Elektron", Saint Petersburg, 197046, Russian Federation; Employee of International Laboratory "Integrated Navigation And Attitude Reference Systems", ITMO University, Saint Petersburg, 197101, Russian Federation, Scopus ID: 57195502932, ORCID ID: 0000-0002-0637-6987, designcenter.spb@mail.ru

Ilya V. Lemko – engineer, Concern "CSRI Elektron", Saint Petersburg, 197046, Russian Federation, Scopus ID: 57195505604, ORCID ID: 0000-0001-9050-9000, lemkoiliya@yandex.ru