

УДК 621.3.049.77

doi: 10.17586/2226-1494-2019-19-3-516-522

ПАРАМЕТРИЧЕСКАЯ ОПТИМИЗАЦИЯ ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ ДЛЯ МИКРОМЕХАНИЧЕСКИХ ДАТЧИКОВ

Д.В. Костыгов, Н.В. Колесов

АО «Концерн «ЦНИИ «Электроприбор», Санкт-Петербург, 197046, Российская Федерация
Адрес для переписки: dkost92@mail.ru

Информация о статье

Поступила в редакцию 03.04.19, принята к печати 29.04.19

Язык статьи — русский

Ссылка для цитирования: Костыгов Д.В., Колесов Н.В. Параметрическая оптимизация цифровых интегральных схем для микро-механических датчиков // Научно-технический вестник информационных технологий, механики и оптики. 2019. Т. 19. № 3. С. 516–522. doi: 10.17586/2226-1494-2019-19-3-516-522

Аннотация

Предмет исследования. Задача снижения энергопотребления и повышения энергоэффективности является одной из ключевых при проектировании вычислительных систем на кристалле. Основными параметрами, влияющими на энергопотребление, являются тактовая частота и напряжение питания. Определение значения данных параметров при заданных технологических и временных ограничениях является главной целью оптимизации. В работе рассмотрены способы оценки энергоэффективности цифровых интегральных схем, выведен критерий оптимизации для одной из архитектур цифровых блоков. **Метод.** Предложена методика параметрической оптимизации цифровых интегральных схем для микромеханических датчиков. Методика позволяет оптимизировать параметры вычислительных устройств по критерию минимума энергопотребления. **Основные результаты.** Приведены результаты апробации методики на примере последовательной и мультиконвейерной архитектур цифровых блоков. **Практическая значимость.** Предложенная методика может быть использована при разработке цифровых интегральных схем для любых технологий изготовления. Она позволяет провести оценку параметров цифровых интегральных схем и провести их оптимизацию в заданных ограничениях.

Ключевые слова

микроэлектроника, интегральная схема, энергоэффективность, цифровые интегральные схемы, оптимизация

Благодарности

Работа выполнена при поддержке гранта РФФИ № 19-08-00052.

doi: 10.17586/2226-1494-2019-19-3-516-522

PARAMETRIC OPTIMIZATION OF DIGITAL INTEGRATED CIRCUITS FOR MICROMECHANICAL SENSORS

D.V. Kostygov, N.V. Kolesov

Concern “CSRI Elektropribor”, Saint Petersburg, 197046, Russian Federation
Corresponding author: dkost92@mail.ru

Article info

Received 03.04.19, accepted 29.04.19

Article in Russian

For citation: Kostygov D.V., Kolesov N.V. Parametric optimization of digital integrated circuits for micromechanical sensors. *Scientific and Technical Journal of Information Technologies, Mechanics and Optics*, 2019, vol. 19, no. 3, pp. 516–522 (in Russian). doi: 10.17586/2226-1494-2019-19-3-516-522

Abstract

Subject of Research. The task of energy consumption reducing and energy efficiency improvement is one of the key ones when designing systems on a chip. The main parameters affecting power consumption are the clock frequency and supply voltage. Determination of these parameters values under given technological and time constraints is the main goal of optimization. The paper discusses the ways of energy efficiency assessment for digital integrated circuits. An optimization criterion for one of the architectures of digital blocks is derived. **Method.** A method for parametric optimization of digital integrated circuits for micromechanical sensors is proposed. The method gives the possibility to optimize the parameters of computing devices according to the criterion of minimum energy consumption. **Main Results.** The methodology approbation results are presented on the example of sequential and pipelined architectures of digital blocks. **Practical Relevance.** The proposed technique can

be used in the development of digital integrated circuits for any manufacturing technology and provides the evaluation of the parameters for digital integrated circuits with their optimization in the given constraints.

Keywords

microelectronics, integrated circuits, energy efficiency, digital integrated circuits, optimization

Acknowledgements

This work was supported by the project No. 19-08-00052 of the Russian Foundation for Basic Research, Russian Federation.

Введение

Микромеханические датчики (ММД) находят широкое применение во многих отраслях техники. Значимое место на этом рынке занимают навигационные ММД, составляющие основу современных навигационных систем [1, 2] и являющиеся предметом рассмотрения в настоящей работе. Следует отметить, что современный тренд в этой области заключается в непрерывном росте уровня сложности ММД, неотъемлемой частью которых стало вычислительное устройство, выполняющее функцию обработки информации и управления чувствительным элементом и аналого-цифровым преобразователем (АЦП) ММД. Обычно к ММД предъявляются высокие требования по точности, надежности и энергопотреблению. Проблема снижения энергопотребления всегда была одной из ключевых при проектировании вычислительных систем. В последние десятилетия ей уделяется особое внимание, в том числе и в связи с обсуждением ее в отношении систем на кристалле [3–5], к которым относятся, в частности, и датчики. Обычно данная проблема рассматривается в оптимизационной постановке [6–8]. При этом задача оптимизации решается путем варьирования параметров транзисторов, изменения их геометрических размеров, оптимизации паразитных емкостей и т.п. Это подход оказывается наиболее трудозатратным и трудно выполнимым, когда устройство состоит из нескольких миллионов транзисторов. Другим подходом к повышению энергоэффективности систем на кристалле является анализ и оптимизация их архитектуры [9–11]. Однако в этих случаях оптимизации подвергалась вся система в целом без учета возможностей ее поблочной параметрической оптимизации.

Стандартная процедура проектирования цифровых блоков включает четыре основных этапа [12], среди которых разработка системной модели, построение поведенческой модели (Register Transfer Model), синтез схемотехнической модели и генерация топологии кристалла. В настоящей работе предлагается дополнить стандартную процедуру методикой параметрической оптимизации цифровых вычислительных устройств интегральных схем по одному из критериев энергоэффективности. Методика может применяться как на этапе разработки системной модели, так и после синтеза модели на вентиляльном уровне. Ниже приводятся результаты оптимизации последовательной и мультиконвейерной архитектур цифровых блоков с использованием предложенной методики.

Постановка задачи

Итак, ниже рассматривается задача параметрической энергоэффективной оптимизации цифровой интегральной схемы ММД. Исходными данными для исследования послужили материалы разработок микромеханического акселерометра, проводимых в АО «Концерн «ЦНИИ «Электроприбор». Структура схемы представлена на рис. 1. Она включает четыре соединенных последовательно блока – управления АЦП, обработки информации, декодирования и интерфейса. В качестве варьируемых параметров фигурировали тактовая частота и напряжение питания.

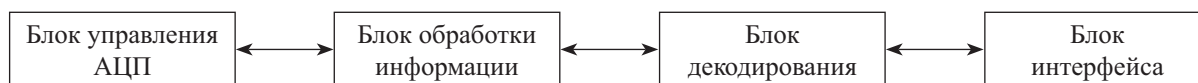


Рис. 1. Структура цифровой интегральной схемы

Критерий оптимизации. Обычно [4, 10] при энергоэффективном проектировании используются три основных критерия оптимизации цифровых блоков. Первый критерий представляет энергию и выражается произведением мощности на длительность работы алгоритма:

$$J = \min_A [P(A) \times T(A)], \quad (1)$$

где A — архитектура устройства, P — потребляемая мощность, T — длительность работы алгоритма обработки информации.

Второй критерий (Energy Delay Product) увеличивает значимость времени и представляет собой произведение мощности на квадрат длительности работы алгоритма:

$$J = \min_A [P(A) \times T(A)^2]. \quad (2)$$

Наконец, третий критерий (Power Delay Product), напротив, увеличивает значимость потребляемой мощности и является произведением квадрата мощности на длительность работы алгоритма

$$J = \min_A [P(A)^2 \times T(A)]. \quad (3)$$

На основе (1)–(3) можно сформировать обобщенный критерий оптимизации цифровых блоков, включающий две составляющие – потребляемую мощность и длительность работы алгоритма обработки информации:

$$J = \min_A [P(A)^a \times T(A)^b],$$

где a, b — весовые коэффициенты.

Далее под длительностью работы алгоритма обработки информации будем понимать время обработки одного измерения, полученного от аналоговой части ММД. Время обработки измерений зависит от архитектуры цифровых блоков. В работе анализировалось два варианта архитектуры — последовательная и мультиконвейерная.

При последовательной архитектуре, которая применялась при разработке цифровых блоков интегральной схемы для микромеханического акселерометра в АО «Концерн «ЦНИИ «Электроприбор» [13, 14], все инструкции выполняются последовательно. В результате время обработки одного измерения в общем случае определяется следующим выражением:

$$T_{cnt} = \sum_i^{N_{instr}} t_i,$$

где T_{cnt} — время обработки одного измерения; N_{instr} — количество инструкций в программной модели; t_i — время выполнения i -й инструкции.

Второй анализируемой архитектурой была архитектура мультиконвейерного типа. В этом случае блок обработки информации содержит p конвейеров, что позволяет повысить производительность. Это становится актуальным, когда, например, при снижении тактовой частоты последовательный алгоритм не успевает обрабатывать информацию в течение периода ее съема с датчиков. Для мультиконвейерной архитектуры цифровых блоков время задержки определяется следующим выражением:

$$T_{mconv} = \frac{t_{st}}{p},$$

где T_{mconv} — время задержки, p — количество конвейеров, t_{st} — время выполнения самой длинной стадии.

Потребляемая цифровыми интегральными схемами мощность включает две составляющие: динамическую и статическую [15, 16]. Динамическая мощность P_{sw} представляет собой мощность, которая выделяется при переключении транзисторов из одного состояния в другое, из 0 в 1. Статическая мощность P_{st} является мощностью, которая выделяется при нахождении транзисторов в одном из двух состояний, в 0 или 1:

$$P_{sw} = \alpha(N_{tr} \lambda (C_{gate} + C_{diff})) V_{dd}^2 f, \quad (4)$$

$$P_{st} = \frac{1}{2(N_{tr} \lambda)} (I_{sub} + I_{gate}) V_{dd}, \quad (5)$$

где α — активность схемы, C_{gate} — емкость затвора транзистора, C_{diff} — диффузионная емкость транзистора, V_{dd} — напряжение питания, f — тактовая частота, I_{sub} — ток подложки одного транзистора, I_{gate} — ток затвора одного транзистора, N_{tr} — количество транзисторов в схеме, λ — ширина канала транзистора.

Задержка на одном вентиле также связана с напряжением питания по следующей формуле [15]:

$$del(V) = \frac{C_L V_{dd}}{(V_{dd} - V_T)^2} \approx \frac{C}{V_{dd}}, V_{dd} \gg V_T,$$

где C_L — емкость нагрузки, которая состоит из перезаряжаемых входом емкостей затворов транзисторов и паразитных емкостей проводов; V_T — пороговое напряжение.

Произведение количества транзисторов на ширину канала транзистора в формулах (4) и (5) определяет площадь S цифровой схемы и может быть заменено на:

$$S \approx N_{tr} \lambda \gamma,$$

где γ — длина затвора транзистора.

Параметры C_{gate} и C_{diff} , I_{sub} и I_{gate} определяются выбранной технологией изготовления интегральной схемы. Поэтому их сумму можно заменить на C_{tech} и I_{tech} соответственно. Формулы для расчета мощности будут иметь вид:

$$P_{sw} = \alpha \frac{S}{\gamma} C_{tech} V_{dd}^2 f,$$

$$P_{st} = \frac{1}{2} \frac{S}{\gamma} I_{tech} V_{dd}$$

Суммарная мощность, выделяемая цифровыми блоками интегральной схемы, определяется выражением:

$$P = P_{sw} + P_{st}$$

Критерий оптимизации для мультимонвейерной архитектуры принимает следующий вид:

$$J = \min_A \left[\left(\alpha \frac{S}{\gamma} C_{tech} V_{dd}^2 f + \frac{1}{2} \frac{S}{\gamma} I_{tech} V_{dd} \right) \cdot \left(\frac{t_{st}}{p} + del(V) \right) \right],$$

где S — площадь цифровых блоков, C_{tech} — суммарная емкость транзистора, I_{tech} — ток транзистора.

Ограничения по параметрам. Ограничения можно разделить на два типа. Первый тип связан с выбранной технологией изготовления интегральной схемы. К таким ограничениям относят максимальную тактовую частоту и диапазон рабочих напряжений питания. Второй тип ограничений связан с архитектурой цифровых блоков и техническими требованиями, такими ограничениями являются минимальная длительность одного цикла обработки информации, максимальное значение мощности и максимальная занимаемая площадь.

Методика оптимизации

Для решения задачи оптимизации для исследования были выбраны два алгоритма: классический генетический и алгоритм дифференциальной эволюции. Эти алгоритмы широко применяются в области микроэлектроники, что связано с необходимостью оптимизации сложных цифровых систем на кристалле, включающих большое количество функционально сложных цифровых блоков. При этом каждый из них может быть параметризован собственной тактовой частотой и напряжением питания, а также иметь оригинальную архитектуру. Выбор двух алгоритмов связан с желанием повысить надежность результатов, поскольку оба алгоритма — эвристические.

Генетический алгоритм — это эвристический алгоритм поиска, используемый для решения задач оптимизации и моделирования путем случайного подбора, комбинирования и вариации искомым параметров с использованием механизмов, аналогичных естественному отбору в природе. Алгоритм включает следующие основные этапы [17]:

- 1) определение целевой функции (приспособленности) для особей популяции;
- 2) формирование начальной популяции с помощью генератора случайных чисел;
- 3) начало цикла:
 - вычислить значение целевой функции для всех особей;
 - если выполняются условия остановки, то конец цикла, иначе продолжаем;
 - размножение (скрещивание);
 - мутирование;
 - формирование нового поколения (селекция).

Критерием остановки алгоритма могут являться следующие условия: нахождение глобального, либо субоптимального решения; исчерпание числа поколений, отпущенных на эволюцию; исчерпание времени, отпущенного на эволюцию; исчерпание времени на улучшение предыдущего результата.

К основным преимуществам генетического алгоритма относятся: возможность использования при многомерной оптимизации для широкого круга задач, эффективность распараллеливания, простота и прозрачность реализации. Среди недостатков генетических алгоритмов обычно отмечают: сходимость к локальному, а не к глобальному экстремуму; неоднозначность выбора параметров алгоритма (мощность популяции, вероятность мутации и др.); потребность в достаточно больших вычислительных ресурсах.

Для повышения сходимости к глобальному экстремуму в работе использовался алгоритм дифференциальной эволюции, который представляет собой метод многомерной математической оптимизации, относящийся к классу стохастических алгоритмов, использующий идеи генетических алгоритмов и отличающийся от них способом формирования новой популяции [18]. Этот шаг в алгоритме дифференциальной эволюции производится следующим образом.

1. Для формирования новой особи из старой популяции случайным образом выбираются три индивида.

2. Из трех индивидов формируется новая особь по формуле:

$$v = v_1 + F \times (v_2 - v_3),$$

где v — формируемая особь; v_1, v_2, v_3 — выбранные случайным образом индивиды из старой популяции; F — коэффициент, принимающий значение из интервала от 0 до 1 и генерируемый случайным образом.

3. Для каждой особи из старого поколения и новой сформированной особи производится операция скрещивания.

Предлагаемая методика включает следующие шаги.

Шаг 1. Определение технических требований. Выбор ограничений.

Шаг 2. Выбор критерия оптимизации.

Шаг 3. Анализ архитектуры цифровых блоков, определение функциональных узлов и их параметризация.

Шаг 4. Выбор параметров оптимизации.

Шаг 5. Выполнение алгоритма оптимизации.

Шаг 6. Анализ результатов.

Результаты моделирования

Апробация методики параметрической оптимизации проводилась для двух архитектур цифровых блоков: последовательной и мультиконвейерной. Критерием оптимизации для обоих случаев являлась энергия (1).

При исследовании первой архитектуры оптимизируемыми параметрами являлись тактовая частота и напряжение питания. Были определены следующие ограничения:

1) диапазон тактовых частот: от 10 кГц до 100 МГц;

2) диапазон напряжений питания: от 1,6 В до 3,3 В;

3) максимальное значение мощности: 55 мВт;

4) максимальное значение периода выдачи данных: 80 мкс;

Результаты работы алгоритмов оптимизации приведены в табл. 1.

Таблица 1. Параметры цифровых блоков до и после оптимизации

№	Оптимизируемые параметры		Результат			Значение критерия
	Тактовая частота, кГц	Напряжение питания, В	Потребляемая мощность P , мВт	Период выдачи данных, мкс	Площадь кристалла, мм ²	Энергопотребление, мДж
До оптимизации						
1	50000	3,3	382	33	0,85	12
После оптимизации						
Генетический алгоритм						
2	27000	1,62	50	61	0,85	3,2
Алгоритм дифференциальной эволюции						
3	22400	1,65	43	73	0,85	3,16

В результате оптимизации значение энергопотребления снизилось в 4 раза. Площадь кристалла не изменилась, так как не изменялась архитектура кристалла.

Второй оптимизируемой архитектурой являлась архитектура конвейерного типа. Особенностью архитектуры является использование двух доменов тактовых частот. Первый домен — для блоков управления АЦП, обработки информации, декодирующего блока. Второй — для интерфейса. Для этой архитектуры были определены следующие ограничения:

1) диапазон тактовых частот: от 10 кГц до 200 МГц;

2) диапазон напряжений питания: от 1,6 В до 3,3 В;

3) максимальное значение мощности: 70 мВт;

4) максимальное значение периода выдачи данных: 50 мкс;

5) площадь кристалла: не более 9 мм².

Оптимизируемыми параметрами являлись тактовые частоты, напряжение питания и степень конвейеризации. Результаты работы алгоритмов оптимизации приведены в табл. 2.

Таким образом, в результате оптимизации с использованием генетического алгоритма были найдены значения параметров, при которых энергопотребление системы снижается в 2 раза. При этом использование дифференциального генетического алгоритма позволило найти вариант, при котором снижение происходит в 3 раза.

На рис. 2 представлены диаграммы зависимости энергии от степени конвейеризации при различных ограничениях для алгоритма дифференциальной эволюции.

Получено, что при ужесточении ограничения на период выдачи данных для мультиконвейерной архитектуры варианты со степенью конвейеризации 1 и 2 не позволяют получить удовлетворяющий ограничениям результат.

Таблица 2. Параметры цифровых блоков до и после оптимизации

Оптимизируемые параметры				Результат			Значение критерия
Тактовая частота 1, кГц	Тактовая частота 2, кГц	Напряжение питания, В	Степень конвейеризации p	Потребляемая мощность P , мВт	Период выдачи данных, мкс	Площадь кристалла, мм ²	Энергопотребление, мДж
До оптимизации							
50000	60000	3,3	1	82	28	2,15	2,3
После оптимизации							
Генетический алгоритм							
20000	77000	2,56	4	67	18	8,6	1,26
Алгоритм дифференциальной эволюции							
10000	40000	2	3	16	40	6,45	0,6

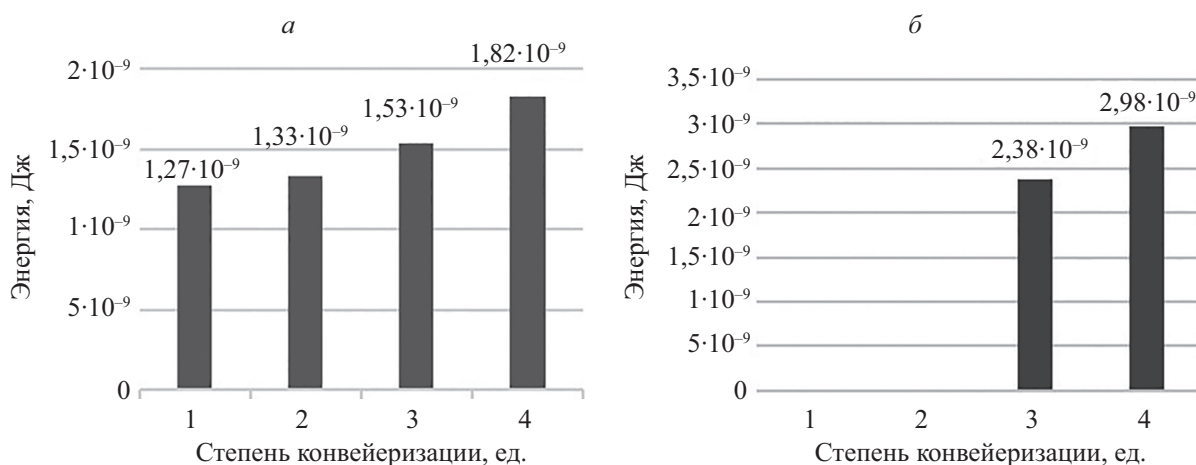


Рис. 2. Результат оптимизации при ограничениях: $P = 10$ мВт, $T = 1$ мкс (а); $P = 10$ мВт, $T = 0,412$ мкс (б)

Заключение

Предложена методика параметрической оптимизации цифрового устройства на основе классического и дифференциального генетического алгоритмов по критериям минимума потребляемой энергии с учетом заданных ограничений. В результате использования предложенной методики для цифровых блоков с последовательной архитектурой удалось уменьшить энергопотребление в 4 раза, для мультиконвейерной архитектуры – в 3 раза.

Литература

1. Пешехонов В.Г. Современное состояние и перспективы развития гироскопических систем // Гироскопия и навигация. 2011. № 1. С. 3–16.
2. Kealy A., Retscher G., Grejner-Brzezińska D., Gikas V., Roberts G. Evaluating the performance of MEMS based Inertial navigation sensors for land mobile application // Archives of Photogrammetry, Cartography and Remote Sensing. 2011. V. 22. P. 237–248.
3. Simunic T., Benini L., De Micheli G. Energy-efficient design of battery-powered embedded systems // Proc. Int. Symposium on Low Power Electronics and Design. San Diego, USA, 1999. P. 212–217.
4. Agrawal P., Rao S. Energy-efficient scheduling: classification, bounds, and algorithms // arXiv. arXiv:1609.06430, 2016. 41 p.
5. Joy V.M., Krishnakumar S. Efficient load scheduling method for power management // International Journal of Scientific and Technology Research. 2016. V. 5. P. 99–101.
6. Suguna T., Janaki Rani M. Survey on power optimization techniques for low power VLSI circuit in deep submicron

References

1. Peshekhonov V.G. Gyroscopic systems: current status and prospects. *Gyroscopy and Navigation*, 2011, vol. 2, no. 3, pp. 111–118. doi: 10.1134/S2075108711030096
2. Kealy A., Retscher G., Grejner-Brzezińska D., Gikas V., Roberts G. Evaluating the performance of MEMS based Inertial navigation sensors for land mobile application. *Archives of Photogrammetry, Cartography and Remote Sensing*, 2011, vol. 22, pp. 237–248.
3. Simunic T., Benini L., De Micheli G. Energy-efficient design of battery-powered embedded systems. *Proc. Int. Symposium on Low Power Electronics and Design*. San Diego, USA, 1999, pp. 212–217.
4. Agrawal P., Rao S. Energy-efficient scheduling: classification, bounds, and algorithms. arXiv, arXiv:1609.06430, 2016, 41 p.
5. Joy V.M., Krishnakumar S. Efficient load scheduling method for power management. *International Journal of Scientific and Technology Research*, 2016, vol. 5, pp. 99–101.
6. Suguna T., Janaki Rani M. Survey on power optimization techniques for low power VLSI circuit in deep submicron

- technology // *International Journal of VLSI design and Communication Systems*. 2018. V. 9. N 1. P. 1–15. doi: 10.5121/vlsic.2018.9101
7. Sharma N., Kaur M. A survey of VLSI techniques for power optimization and estimation of optimization // *International Journal of Emerging Technology and Advanced Engineering*. 2014. V. 4. N 9. P. 351–355.
 8. Durrani Y.A. Low-power integrated circuit design optimization approach // *Technical Journal, UET, Taxila*. 2016. V. 21. P. 32–42.
 9. Hartstein A., Puzak T.R. Optimum power/performance pipeline depth // *Proc. 36th Int. Symposium on Microarchitecture*. San Diego, USA, 2003. doi: 10.1109/MICRO.2003.1253188
 10. Xu R., Melhem R., Mosse D. Energy-aware scheduling for streaming applications on chip multiprocessors // *Proc. Real-Time Systems Symposium*. Tucson, USA, 2007. P. 25–36. doi: 10.1109/RTSS.2007.49
 11. Sartori J., Ahrens B., Kumar R. Power balanced pipelines // *IEEE International Symposium on High-Performance Comp Architecture*. New Orleans, USA, 2012. P. 261–272. doi: 10.1109/HPCA.2012.6169032
 12. Kaeslin H. *Digital Integrated Circuit Design. From VLSI Architectures to CMOS Fabrication*. New York, Cambridge University Press, 2008. 845 p. doi: 10.1017/cbo9780511805172
 13. Беляев Я.В., Костыгов Д.В., Лемко И.В., Михтеева А.А., Невирковец Н.Н. Разработка и тестирование интегральной схемы для микромеханического акселерометра // *Проблемы разработки перспективных микро- и наноэлектронных систем*. 2018. № 4. С. 49–56. doi: 10.31114/2078-7707-2018-4-49-56
 14. Беляев Я.В., Белогуров А.А., Боcharov А.Н., Костыгов Д.В., Лемко И.В., Михтеева А.А., Якимова А.В., Невирковец Н.Н., Чернецкая Н.М. Разработка микромеханического акселерометра // XXV Санкт-Петербургская международная конференция по интегрированным навигационным системам. Санкт-Петербург, 2018. С. 290–296.
 15. Белоус А.И., Мурашко И.А., Сякерский В.С. Методы минимизации энергопотребления при проектировании КМОП БИС // *Технология и конструирование в электронной аппаратуре*. 2008. № 2. С. 39–44.
 16. Panda P.R., Silpa B.V.N., Shrivastava B.V., Gummidipudi K. *Power-Efficient System Design*. Springer, 2006. 253 p. doi: 10.1007/978-1-4419-6388-8
 17. Кошев А.Н., Салмин В.В., Генералов А.А., Бычков Д.С. Разработка генетического алгоритма с адаптивными мутациями для определения глобального экстремума функции n-переменных // *Интернет-журнал «Науковедение»*. 2016. Т. 8. № 6. С. 32.
 18. Kubař M., Jakovenko J. A powerful optimization tool for analog integrated circuits design // *Radioengineering*. 2013. V. 22. N 3. P. 921–931.
 - technology. *International Journal of VLSI design and Communication Systems*, 2018, vol. 9, no. 1, pp. 1–15. doi: 10.5121/vlsic.2018.9101
 7. Sharma N., Kaur M. A survey of VLSI techniques for power optimization and estimation of optimization. *International Journal of Emerging Technology and Advanced Engineering*, 2014, vol. 4, no. 9, pp. 351–355.
 8. Durrani Y.A. Low-power integrated circuit design optimization approach. *Technical Journal, UET, Taxila*, 2016, vol. 21, pp. 32–42.
 9. Hartstein A., Puzak T.R. Optimum power/performance pipeline depth. *Proc. 36th Int. Symposium on Microarchitecture*. San Diego, USA, 2003. doi: 10.1109/MICRO.2003.1253188
 10. Xu R., Melhem R., Mosse D. Energy-aware scheduling for streaming applications on chip multiprocessors. *Proc. Real-Time Systems Symposium*. Tucson, USA, 2007, pp. 25–36. doi: 10.1109/RTSS.2007.49
 11. Sartori J., Ahrens B., Kumar R. Power balanced pipelines. *IEEE International Symposium on High-Performance Comp Architecture*. New Orleans, USA, 2012, pp. 261–272. doi: 10.1109/HPCA.2012.6169032
 12. Kaeslin H. *Digital Integrated Circuit Design. From VLSI Architectures to CMOS Fabrication*. New York, Cambridge University Press, 2008, 845 p. doi: 10.1017/cbo9780511805172
 13. Belyaev Y.V., Kostygov D.V., Lemko I.V., Mikhteeva A.A., Nevirkovets N.N. Design and testing of integrated circuit for micromechanical accelerometer. *Proc. Problems of Advanced Micro- and Nanoelectronic Systems Development*, 2018, no. 4, pp. 49–56. (in Russian) doi: 10.31114/2078-7707-2018-4-49-56
 14. Belyaev Ya.V., Belogurov A.A., Bocharov A.N., Kostygov D.V., Lemko I.V., Mikhteeva A.A., Yakimova A.V., Nevirkovets N.N., Chernetskaya N.M. Development of a micromechanical accelerometer. *Proc. 25th Int. Conf. on Integrated Navigation Systems*. St. Petersburg, 2018, pp. 290–296. (in Russian)
 15. Belous A.I., Murashko I.A., Syakersky V.S. Method for minimization of power consumption when designing CMOS VLIC. *Tekhnologiya i Konstruirovaniye v Elektronnoy Apparature*, 2008, no. 2, pp. 39–44. (in Russian)
 16. Panda P.R., Silpa B.V.N., Shrivastava B.V., Gummidipudi K. *Power-Efficient System Design*. Springer, 2006. 253 p. doi: 10.1007/978-1-4419-6388-8
 17. Koshelev A.N., Salmin V.V., Generalov A.A., Bichkov D.S. The development of genetic algorithm with adaptive mutations to determine the global extremum function of n-variables. *Internet Zhurnal Naukovedeniye*, 2016, vol. 8, no. 6, p. 32. (in Russian)
 18. Kubař M., Jakovenko J. A powerful optimization tool for analog integrated circuits design. *Radioengineering*, 2013, vol. 22, no. 3, pp. 921–931.

Авторы

Костыгов Дмитрий Вадимович — младший научный сотрудник, АО «Концерн «ЦНИИ «Электронприбор», Санкт-Петербург, 197046, Российская Федерация, Scopus ID: 57189243101, ORCID ID: 0000-0003-4379-5803, dkost92@mail.ru

Колесов Николай Викторович — доктор технических наук, профессор, главный научный сотрудник, АО «Концерн «ЦНИИ «Электронприбор», Санкт-Петербург, 197046, Российская Федерация, Scopus ID: 6602000556, ORCID ID: 0000-0003-3287-7504, kolesovnv@mail.ru

Authors

Dmitry V. Kostygov — Junior scientific researcher, Concern “CSRI Elektropribor”, Saint Petersburg, 197046, Russian Federation, Scopus ID: 57189243101, ORCID ID: 0000-0003-4379-5803, dkost92@mail.ru

Nikolay V. Kolesov — D.Sc., Professor, Chief scientific researcher, Concern “CSRI Elektropribor”, Saint Petersburg, 197046, Russian Federation, Scopus ID: 6602000556, ORCID ID: 0000-0003-3287-7504, kolesovnv@mail.ru