

УДК 621.3.049.77

doi: 10.17586/2226-1494-2019-19-3-523-530

ТЕХНОЛОГИЧЕСКИ ОРИЕНТИРОВАННЫЙ СИНТЕЗ АНАЛОГО-ЦИФРОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ ПОСЛЕДОВАТЕЛЬНОГО ПРИБЛИЖЕНИЯ ДЛЯ ИНТЕГРАЛЬНЫХ СХЕМ

А.А. Михтеева, Н.В. Колесов

АО «Концерн «ЦНИИ «Электроприбор», Санкт-Петербург, 197046, Российская Федерация
Адрес для переписки: designcenter.spb@mail.ru

Информация о статье

Поступила в редакцию 03.04.19, принята к печати 30.04.19
Язык статьи — русский

Ссылка для цитирования: Михтеева А.А., Колесов Н.В. Технологически ориентированный синтез аналого-цифровых преобразователей последовательного приближения для интегральных схем // Научно-технический вестник информационных технологий, механики и оптики. 2019. Т. 19. № 3. С. 523–530. doi: 10.17586/2226-1494-2019-19-3-523-530

Аннотация

Предмет исследования. Высокоразрядные аналого-цифровые преобразователи последовательного приближения, в состав которых входит цифро-аналоговый преобразователь с несколькими массивами конденсаторов, обладают значительной нелинейностью. Существующие методы снижения нелинейности прежде всего направлены на уменьшение нелинейности, возникающей в цифро-аналоговом преобразователе, который входит в состав аналого-цифрового преобразователя последовательного приближения. Эти методы не являются комплексными и направлены лишь на снижение влияния одного или нескольких факторов, вызывающих нелинейность цифро-аналогового преобразователя. Кроме того, известные подходы применяются лишь на этапе разработки топологии, что приводит к значительным временным затратам в случае перепроектирования при невозможности достичь требуемой точности аналого-цифрового преобразователя. На основании сказанного можно утверждать об актуальности разработки метода технологически ориентированного синтеза аналого-цифровых преобразователей, позволяющего уменьшать нелинейность преобразования путем учета технологии изготовления на ранних этапах проектирования. **Метод.** Предложен метод технологически ориентированного синтеза аналого-цифровых преобразователей, позволяющий снизить нелинейность. **Основные результаты.** Метод по сравнению с известными учитывает особенности технологического процесса на раннем этапе проектирования устройства. Метод был использован при проектировании 18-разрядного аналого-цифрового преобразователя по технологии 350 нм для микромеханического акселерометра. **Практическая значимость.** Предложенный метод может быть использован для проектирования высокоуровневых аналого-цифровых преобразователей последовательного приближения для различных проектных норм.

Ключевые слова

микроэлектроника, интегральная схема, аналого-цифровой преобразователь, синтез, паразитные параметры

Благодарности

Работа проводилась при поддержке гранта РФФИ № 16-08-000640.

doi: 10.17586/2226-1494-2019-19-3-523-530

PROCESS-ORIENTED SYNTHESIS OF SUCCESSIVE APPROXIMATION ANALOG-TO-DIGITAL CONVERTERS FOR INTEGRATED CIRCUITS

A.A. Mikhteeva, N.V. Kolesov

Concern CSRI Elektropribor, JSC, Saint Petersburg, 197046, Russian Federation
Corresponding author: designcenter.spb@mail.ru

Article info

Received 03.04.19, accepted 30.04.19
Article in Russian

For citation: Mikhteeva A.A., Kolesov N.V. Process-oriented synthesis of successive approximation analog-to-digital converters for integrated circuits. *Scientific and Technical Journal of Information Technologies, Mechanics and Optics*, 2019, vol. 19, no. 3, pp. 523–530 (in Russian). doi: 10.17586/2226-1494-2019-19-3-523-530

Abstract

Subject of Research. High-resolution successive approximation analog-to-digital converters include a digital-to-analog converter with multiple capacitor arrays and have significant nonlinearity. Existing methods for nonlinearity reducing are aimed primarily

at nonlinearity lowering that arises in the digital-to-analog converter, which is a part of successive approximation analog-to-digital converter. These methods are not complex and are aimed only at reducing the impact of one or several factors that cause the nonlinearity of the digital-to-analog converter. In addition, the known approaches are applied only at the stage of topology development, that leads to significant time costs in the case of redesign when it is impossible to achieve the required accuracy of the analog-to-digital converter. Based on the above, we can assert the relevance of the development of process-oriented synthesis method for analog-to-digital converters reducing the transformation nonlinearity by taking into account the manufacturing technology at the early design stages. **Method.** A method of process-oriented synthesis for analog-to-digital converters is proposed providing analog-to-digital converter nonlinearity reducing. **Main Results.** As compared with the known methods, the method takes into account the peculiarities of the technological process at the early stage of device design. The method was used to design 18-bit analog-to-digital converter on 350 nm CMOS technology. **Practical Relevance.** The proposed method can be used for high-resolution analog-to-digital converter design on different CMOS technologies.

Keywords

microelectronics, integrated circuit, analog-to-digital converter, synthesis, parasitic parameters

Acknowledgements

This work was supported by the project No. 16-08-00640 of the Russian Foundation for Basic Research, Russian Federation.

Введение

При проектировании аналого-цифровых преобразователей (АЦП) последовательного приближения уделяется особое внимание проблеме снижения нелинейности. Нелинейность АЦП, а значит, и эффективное число бит, напрямую зависит от характеристик цифро-аналогового преобразователя (ЦАП), компаратора, ключей, устройства выборки и хранения, входящих в состав АЦП. ЦАП формирует напряжение, участвующее в сравнении с напряжением на входе и вносит основную нелинейность в преобразование. Этим объясняется тот факт, что существующие методы снижения нелинейности направлены на улучшение характеристик лишь одного блока ЦАП. При этом используются различные подходы [1–6], связанные с размещением элементов с общим центром для минимизации систематического технологического разброса. Наиболее часто применяются лишь на последнем этапе разработки – этапе физической реализации топологии.

Особенно остро проблема снижения нелинейности стоит при проектировании высокоразрядных АЦП с емкостным ЦАП на технологиях в сотни нанометров. В подобных ЦАП массив конденсаторов для своего размещения может потребовать площадь, превышающую в десятки раз общую площадь всей интегральной схемы. Решением проблемы может служить разделение ЦАП на несколько массивов и введение мостовых (разделительных) конденсаторов, что вносит дополнительную нелинейность.

При использовании таких архитектур ЦАП, как показывает анализ работ в этой области [7], применение только лишь методов снижения нелинейности ЦАП может оказаться недостаточным для достижения требуемой точности АЦП. Другим распространенным подходом к снижению нелинейности АЦП является применение специальных аналоговых и цифровых схем коррекции или самокалибровки. В отличие от общепринятого алгоритма двоичного поиска, реализуемого в цифровой части АЦП, предлагаемые в работах [8–17] решения состоят либо в добавлении дополнительных тактов преобразования, либо в модификации последовательности переключения ветвей ЦАП. Данные методы коррекции являются наиболее перспективными и гибкими, позволяют увеличить линейность АЦП только за счет изменений в цифровой части, которые незначительно увеличат его площадь. Однако изменения алгоритма поиска не всегда может гарантировать уменьшение нелинейности, поскольку эффективность метода зависит от архитектуры ЦАП, степени разброса его элементов. Для устранения этого недостатка возможно использовать метод самокоррекции [16, 18], позволяющий минимизировать любые нелинейности в АЦП за счет использования большого объема энергонезависимой памяти и дополнительного режима работы АЦП. Однако, несмотря на очевидную эффективность самокоррекции, данный метод требует значительной площади, увеличивает энергопотребление и снижает быстродействие.

По результатам анализа существующих методов снижения нелинейностей в АЦП последовательного приближения можно отметить следующие основные недостатки. Известные методы, как правило, используются на поздних этапах разработки блока АЦП и не гарантируют низкого уровня нелинейности для высокоразрядных АЦП с емкостным ЦАП с разделительными конденсаторами. Использование наиболее гибких и перспективных методов коррекции и самокалибровки в цифровой части АЦП ведет к значительному усложнению всей разработки и, несмотря на то что методы могут применяться на этапе разработки схемотехнических моделей, оценить достижимость требуемой точности АЦП можно лишь после разработки топологии. Кроме того, существующие методы снижения нелинейности не всегда могут быть применимы к любой архитектуре АЦП и для различных технологий, что делает необходимым обеспечение переносимости метода на другие технологии, т.е. разработку способов технологической миграции моделей блока.

В настоящей работе предлагается метод технологически ориентированного синтеза высокоразрядных АЦП с емкостными ЦАП, позволяющий снизить нелинейность АЦП и обеспечивающий технологическую миграцию разработки. Особенностью метода является учет особенностей технологии изготовления при проектировании аналоговых блоков АЦП на схемотехническом уровне и состоит из двух процедур технологически ориентированного синтеза ЦАП и аналоговых блоков, включающих формирование ограничений

к топологической реализации. Учет технологии изготовления достигается за счет использования уточненных моделей ЦАП и аналоговых блоков, расширенных за счет введения в них паразитных элементов, существенно влияющих на нелинейность и другие характеристики АЦП.

Технологически ориентированный синтез ЦАП

Предлагаемая методика технологически ориентированного синтеза емкостного ЦАП включает три этапа.

Оценка достижимости заданного уровня нелинейности АЦП и выбор архитектуры ЦАП.

Определение оценок значений паразитных емкостей (ПЕ) ЦАП с целью формирования ограничений для топологических параметров ЦАП.

Топологический синтез ЦАП с учетом ограничений, сформированных на предыдущем этапе, который гарантирует нелинейность ЦАП не выше заданной.

Первый этап позволяет, минуя шаги по разработке схмотехнической модели и топологической реализации, правильно выбрать архитектуру ЦАП. Выбор архитектуры с учетом технологических, технических и топологических ограничений рассмотрен в статье [19]. Если в решении данного вопроса будет допущена ошибка, и обнаружение этого факта произойдет после разработки топологии, то процесс проектирования придется повторить для другой архитектуры, понеся значительные непроизводительные расходы. Для реализации первого этапа предложена рассмотренная в статье [20] расширенная математическая модель ЦАП, что потребовало проведения анализа влияния разных типов ПЕ на нелинейность ЦАП.

Цель второго этапа заключается в получении оценок ПЕ для расширенной математической модели. На их основе затем формируются ограничения для топологических параметров ЦАП (длины и ширины проводников, слоя металлизации проводников, количества переходных отверстий), используемые при последующем топологическом синтезе. Безусловно, точность получаемых на этом этапе оценок невысока, но, как показывает практика, она достаточна для проведения эффективного проектирования. Методика синтеза моделей ЦАП на основе учета ПЕ была рассмотрена в статье [20]. С целью формирования ограничений для топологических параметров была предложена процедура анализа, которая ввиду регулярности структуры ЦАП сводится к формированию ограничений лишь для двух типовых фрагментов — с мостовым конденсатором и без мостового конденсатора (рис. 1). В первом случае емкости массива ЦАП представлены двумя параллельными конденсаторами C_1 и C_2 с конденсаторов-болванка C_{dummy} , во втором случае к ним добавляется мостовой конденсатор C_a . Расширение модели составляют: ПЕ C_{TCM} — между проводниками, соединяющими верхние обкладки конденсатора, и подложкой, ПЕ C_{TB} , C_{TB*} — между проводниками, соединяющими верхние и нижние обкладки конденсаторов, ПЕ C_{BB} , C_{BB*} — между проводниками, соединяющими нижние обкладки конденсаторов, ПЕ C_{BCM} — между нижними обкладками и проводниками, соединяющими нижние обкладки конденсаторов, с подложкой.

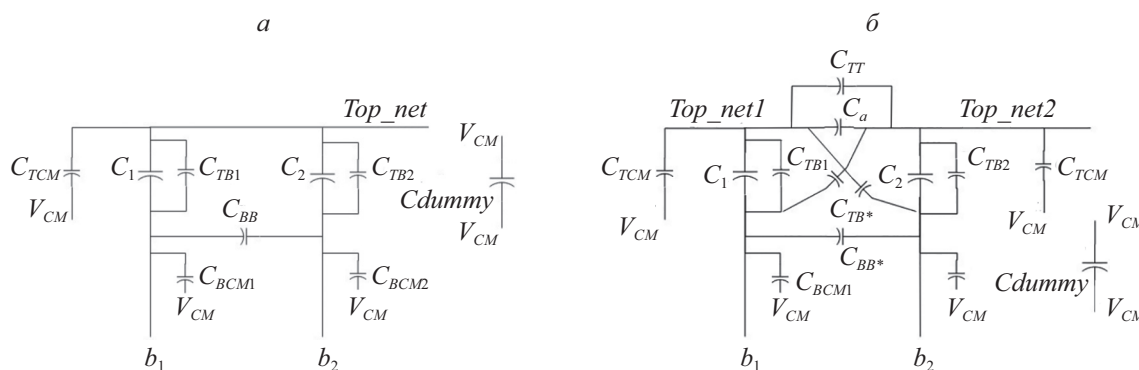


Рис. 1. Типовые фрагменты цифро-аналогового преобразователя: с мостовым конденсатором (а), без мостового конденсатора (б), где V_{CM} — напряжение, подаваемое на обкладки конденсаторов-болванок, обычно равное половине входного диапазона или земле, b_1 , b_2 — обозначение узлов подключения ключей, top_net , top_net1 , top_net2 — узлы выходов цифро-аналогового преобразователя

Для каждого типового фрагмента определяются зависимости ПЕ от длины и ширины проводников, их удаленности от других проводников, площади пересечения проводников, слоя металлизации, количества переходных отверстий, количества конденсаторов-болванок. Эти зависимости учитывают принципы разработки топологии и размещения проводников. Следует отметить, что этап выполняется для конкретной технологии и получаемые зависимости могут отличаться для других технологий. Кроме того, примененный при анализе набор приемов может быть дополнен, исходя из правил проектирования топологии другого технологического процесса.

Для технологии австрийской фабрики AMS 350 нм были получены следующие выражения (1)–(3), позволяющие определять оценки значений ПЕ различных типов в зависимости от параметров топологии:

$$C_{T_{Bi}}(n, k_{dummy}, S) = \min(C_{T_{Bi}}) + C_{T_{Bi}}(n) + C_{T_{Bi}}(k_{dummy}) + C_{T_{Bi}}(S), \quad i \leq N, \quad (1)$$

$$C_{T_{Tj-1}}(n, S) = \min(C_{T_{Tj-1}}) + C_{T_{Tj-1}}(n) + C_{T_{Tj-1}}(S), \quad j = s_0, \quad (2)$$

$$C_{T_{CMj}}(k_{dummy}, d, S) = \begin{cases} C_{BCM1} + C_{T_{CMj}}(k_{dummy}) + C_{T_{CMj}}(d) + C_{T_{CMj}}(S), & j < s_0, \\ C_{T_{CMj}}(k_{dummy}) + C_{T_{CMj}}(d) + C_{T_{CMj}}(S), & j = s_0, \end{cases} \quad (3)$$

где $C_{T_{Bi}}$ — паразитная емкость между проводниками, соединяющими верхние и нижние обкладки конденсаторов; $C_{T_{Tj-1}}$ — паразитная емкость между верхними обкладками конденсаторов, расположенных в разных секциях массива; $C_{T_{CMj}}$ — паразитная емкость между проводниками, соединяющими верхние обкладки конденсатора, и подложкой; C_{BCM1} — паразитная емкость между нижней обкладкой конденсатора и подложкой; k_{dummy} — количество конденсаторов-болванок; S — площадь пересечения; n — количество переходных отверстий; d — расстояние между конденсаторами; N — разрядность массива ЦАП; s_0 — количество сегментов (массивов) в реализации ЦАП.

Вычисленные оценки ПЕ сопоставляются с границами, полученными на первом этапе. Если граница превышена, то продолжается поиск значений топологических параметров, при которых все требования удовлетворяются. Результат формулируется в виде неравенств, ограничивающих соответствующие топологические параметры. Ограничения, полученные для типовых фрагментов, тиражируются на весь массив конденсаторов ЦАП с учетом принадлежности к той или иной ветви, требующей соблюдения необходимого соотношения между ПЕ различных ветвей. После этого формируется и моделируется схематехническая модель ЦАП, использующая для узлов модели фабрики-изготовителя, и проверяется уровень его нелинейности.

Наконец, на третьем этапе процедуры узлы ЦАП размещаются на площади кристалла в соответствии с той или иной концепцией (квадрат, прямоугольник, Г-образная). Производится соединение узлов с учетом заданных топологических ограничений. Далее реализуется для полученной топологии процедура экстракции ПЕ и моделируется схематехническая модель ЦАП, расширенная за счет ПЕ, полученных в результате экстракции.

Описанный метод синтеза был сопоставлен с другим известным методом [1, 2]. При сравнении использовались результаты, полученные известным методом расстановки элементов с общим центром при проектировании 12-битного ЦАП, состоящего из двух массивов ЦАП с номерами ветвей от 1 до 6 и от 7 до 12. На рис. 2 для этого случая представлен уровень паразитных емкостей в зависимости от номера ветви конденсаторов. Здесь приведена аналогичная зависимость для случая использования предложенного метода при проектировании 18-битного двухсегментного ЦАП. Видно, что уровень паразитных емкостей $C_{T_{Bi}}$ был снижен с 2,1 до 0,4 % от емкостей ветвей C_i . Кроме того, заметно, что для 12-разрядного ЦАП наблюдается значительное отклонение относительного значения емкости от его среднего значения в отличие от емкостей 18-разрядного ЦАП.



Рис. 2. Сравнение относительного значения паразитной емкости типа $C_{T_{Bi}}$ при использовании существующего метода расстановки конденсаторов с общим центром (ЦАП 12 бит) и предлагаемого метода (ЦАП 18 бит)

Технологически ориентированный синтез аналоговых блоков АЦП

Теперь рассмотрим подход к технологически ориентированному синтезу аналоговых блоков АЦП. В этом случае разработка ведется похожим образом. В предлагаемой процедуре также можно выделить три этапа, которым предшествует выделение характеристик аналоговых блоков, оказывающих наибольшее влияние на уровень нелинейности АЦП. Далее выполняется:

- 1) определение и оценка типов паразитных параметров, влияющих на характеристики блоков;
- 2) анализ влияния топологии на паразитные параметры и формирование ограничений для топологии блоков;
- 3) топологический синтез аналоговых блоков с учетом ограничений, сформированных на предыдущем этапе, который гарантирует нелинейность всего блока АЦП не выше заданной.

В результате анализа литературы и исследования математической системной модели АЦП установлено, что на нелинейность АЦП наибольшее влияние оказывают точность и время срабатывания компаратора, линейность аналогового ключа, смещение и шум источника опорного напряжения. В отношении этих характеристик был проведен анализ влияния на них различных паразитных параметров. На примере моделирования компаратора было выявлено, что паразитные параметры в компонентах аналогового блока оказывают незначительное влияние на характеристики. Однако при рассмотрении влияния ПЕ, возникающих между проводниками соседних компонентов компаратора, было определено, что даже ПЕ в 1 фФ может существенно повлиять на временные характеристики компаратора. Этот факт иллюстрируется на рис. 3, где представлен процесс переключения выхода компаратора между уровнями 0 и 3,3 В до и после появления ПЕ.

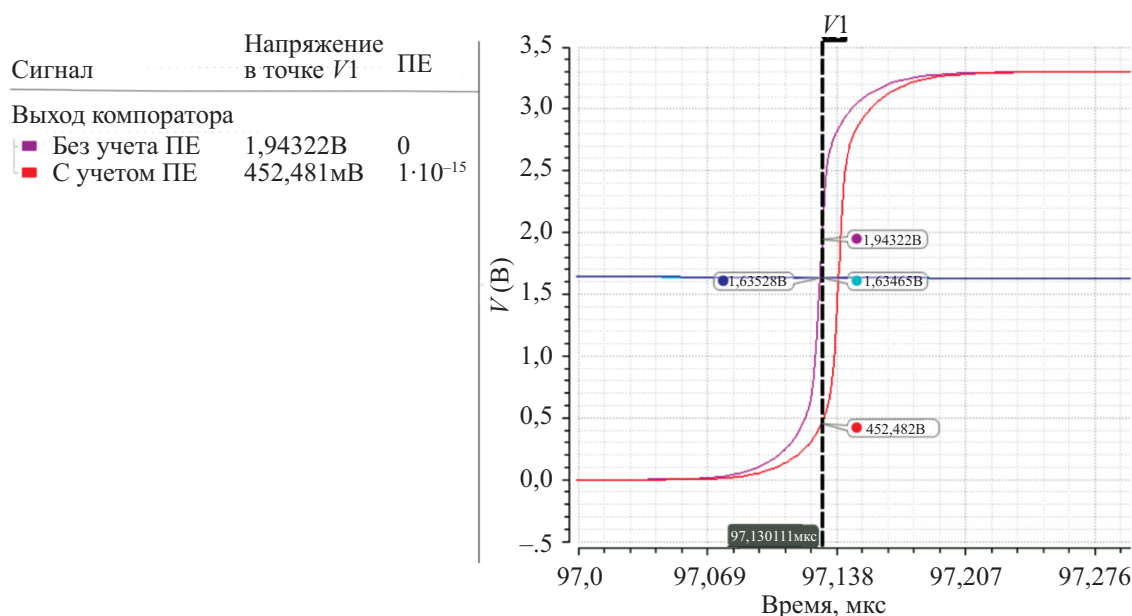


Рис. 3. Влияние паразитной емкости на выходное напряжение компаратора во временной области в точке V1 на 97 мкс

На втором этапе для каждого типа паразитной емкости (ПЕ) и паразитного сопротивления аналогового блока, влияющего на характеристики блока, определяются зависимости оценок для значений паразитных емкостей и сопротивлений, справедливые при заданном технологическом процессе. Зависимости представляются в виде функций (4)–(5):

$$C_p = f_C(l, w, S, d, m, n), \tag{4}$$

$$R_p = f_R(l, w), \tag{5}$$

где C_p — паразитная емкость, R_p — паразитное сопротивление, f_C — функция зависимости значения емкости от топологических параметров, f_R — функция зависимости значения сопротивления от топологических параметров, l — длина проводников, w — ширина проводников, d — удаленность проводника от других проводников, m — слой металлизации, n — количество переходных отверстий.

Для паразитных параметров между проводниками соседних компонентов было установлено, что на паразитные сопротивления оказывают влияние длина и ширина проводника, на ПЕ — удаленность от других проводников, площадь пересечений и количество переходных отверстий (6)–(7):

$$C_p = C_p(n) + C_p(d) + C_p(S), \tag{6}$$

$$R_p = R_p(l, w) + R_p(n). \tag{7}$$

На основе полученных зависимостей оценим уровень ПЕ и сопротивления разработанного аналогового блока АЦП. Для этого проведем уточнение расширенной схмотехнической модели аналогового блока добавлением ПЕ между каждым входом и выходом соседних и не соседних базовых компонентов и паразитные сопротивления на каждый вход и выход базового компонента.

Для каждого блока с M входами и выходами базовых компонентов, не соединенных с землей и питанием, будет существовать $(M \times M)/2$ различных ПЕ $\{C_{p12}, C_{p13}, \dots, C_{p1M}, \dots, C_{pMM}\}$ и не менее m различных паразитных сопротивлений.

Например, для компаратора АЦП выделим 8 базовых компонентов с 8 цепями, соединяющими эти компоненты. Тогда в расширенной схмотехнической модели оставим лишь те паразитные емкости и сопротивления, которые касаются выделенных цепей: 28 паразитных емкостей и 13 паразитных сопротивлений (рис. 4).

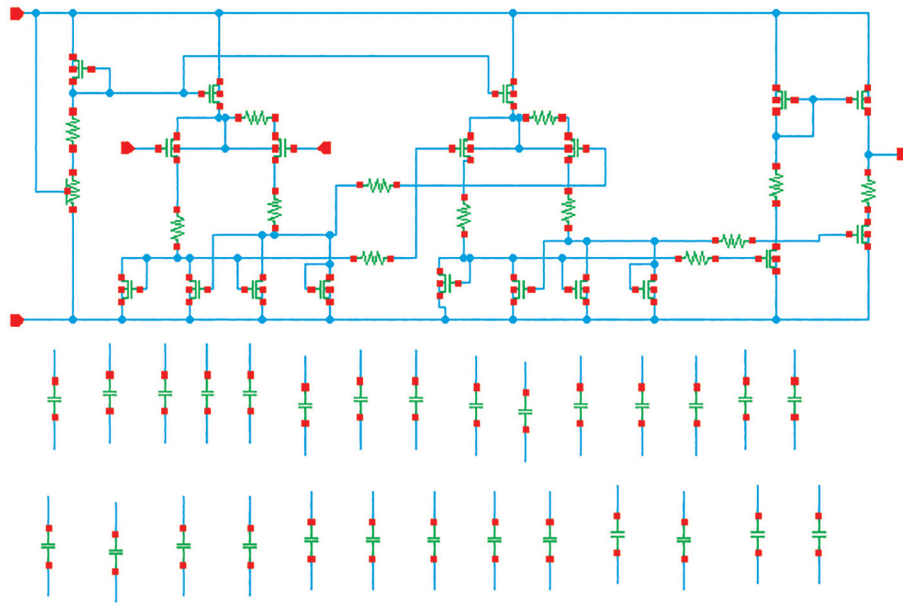


Рис. 4. Схмотехническая модель компаратора с добавленными паразитными параметрами

Определим максимально допустимые емкости $\max(C_p)$ и сопротивления $\max(R_p)$ с использованием одного из доступных методов многомерной оптимизации, например, метода циклического покоординатного спуска. В качестве начальной точки C и R определяются, основываясь на возможной топологии блока и минимально возможных их значениях в данной технологии. После определения набора $\{C_p, R_p\}$, при которых удовлетворяются технические требования, на базе зависимостей (формулы (6)–(7) определяется набор топологических параметров для каждого проводника по формуле (8):

$$\left\{ \begin{array}{l} w \geq w_0 \\ l \leq l_0 \\ S \leq S_0 \\ d \geq d_0 \\ m = \{m_i\} \\ n \leq n_0 \end{array} \right. , \quad (8)$$

где l_0 — максимальная длина проводника, w_0 — минимальная ширина проводников, d_0 — минимальная удаленность проводника от других проводников, S_0 — максимальная площадь пересечения, m_i — используемые слои металлизации, n_0 — максимальное количество переходных отверстий.

Для анализа эффективности процедуры технологически ориентированного синтеза аналоговых блоков АЦП проведено сравнение разработанных двух топологий компаратора, выполненных без использования предложенной процедуры и с ее использованием. Результаты сравнения показали, что количество и уровень ПЕ в топологии компаратора, выполненного с использованием предложенной процедуры, меньше, несмотря на то что количество стандартных компонентов больше.

Для обеспечения технологической миграции разработки в работе предлагается дополнительный этап, заключающийся в преобразовании поведенческих (математических) моделей в схмотехнические [20], который включает выполнение следующих шагов: сопоставление переменных с элементами технологической библиотеки, анализ синтаксических конструкций, формирование списка соединений (netlist) и размещение

элементов схемы. Особенностью данного этапа является то, что переменные моделей сопоставляются с конкретной библиотекой кремниевой фабрики и список соединений формируется на основании отождествления алгебраических операций переменных с правилами соединений устройств в соответствии с теорией электротехники. Размещение элементов на основании списка соединений может быть выполнена в любой системе автоматизированного проектирования по разработке микроэлектроники.

Заключение

Разработан метод технологически ориентированного синтеза аналого-цифровых преобразователей последовательного приближения, который включает процедуры технологически ориентированного синтеза цифро-аналогового преобразователя и аналоговых блоков. Проведен анализ влияния паразитных параметров на характеристики цифро-аналогового преобразователя и аналоговых блоков, в результате которого выделен набор существенных типов параметров, составивших расширение математической модели. Проведен анализ влияния топологических приемов на уровень паразитных параметров, в результате которого выделен набор топологических параметров, используемых при формировании ограничений. Разработаны методики топологического синтеза аналоговых блоков и цифро-аналогового преобразователя, входящих в состав аналого-цифрового преобразователя. Сравнение предложенных процедур технологически ориентированного синтеза с известными показал их эффективность.

Литература

1. Baker J.R. *CMOS Circuit Design, Layout and Simulation*. 3rd ed. Wiley, IEEE Press, 2010. 1208 p. doi: 10.1002/9780470891179
2. Hastings A. *The Art of Analog Layout*. 2nd ed. Prentice Hall, 2006. 672 p.
3. Maloberti F. *Analog Design for CMOS VLSI Systems*. Kluwer Academic Publ., 2003. 374 p. doi: 10.1007/b100812
4. Lin M.P.H., He Y.T., Hsiao V.W.H., Chang R.G., Lee S.Y. Common-centroid capacitor layout generation considering device matching and parasitic minimization // *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*. 2013. V. 32. N 7. P. 991–1002. doi: 10.1109/tcad.2012.2226457
5. Hsiao W.H., He Y.T., Lin M.P., Chang R.G., Lee S.Y. Automatic common-centroid layout generation for binary-weight capacitors in charge-scaling DAC // *Proc. Int. Conf. on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design*. Seville, Spain, 2012. P. 173–176. doi: 10.1109/smactd.2012.6339445
6. Lin C.W., Lin J.M., Chiu Y.C., Huang C.P., Chang S.J. Mismatch-aware common-centroid placement for arbitrary-ratio capacitor arrays considering dummy capacitors // *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*. 2012. V. 31. N 12. P. 1789–1802. doi: 10.1109/tcad.2012.2204993
7. Zhu Y., Chio U.F., Wei H.G., Sin S.W., Seng-Pan U., Martins R.P. Linearity analysis on a series-split capacitor array for high-speed SAR ADCs // *Proc. 51st Midwest Symposium on Circuits and Systems*. Knoxville, USA, 2008. P. 922–925. doi: 10.1109/mwscas.2008.4616951
8. Zhang Y., Zhao Y., Dai P. Study of split capacitor DAC mismatch and calibration in SAR ADC // *Journal of Circuits System and Computers*. 2015. V. 26. N 1. doi: 10.1142/s0218126617500037
9. McNeill J.A. et al. All-digital background calibration of successive approximation ADC using split ADC architecture // *IEEE Transactions on Circuits and Systems I: Regular Papers*. 2011. V. 58. N 10. P. 2355–2365. doi: 10.1109/tcsi.2011.2123590
10. Rikan B.S., Abbasizadeh H., Do S.-H., Lee D.-S., Lee K.Y. Digital error correction for a 10-bit straightforward SAR ADC // *IEEE Transactions on Smart Processing and Computing*. 2015. V. 4. N 1. P. 51–58. doi: 10.5573/ieiespc.2015.4.1.051
11. Ogawa T., Kobayashi H., Hotta M., Takahashi Y., Hao S., Nobukazu T. SAR ADC algorithm with redundancy // *Proc. IEEE Asia Pacific Conference on Circuits and Systems*. Macao, 2008. P. 268–271. doi: 10.1109/apccas.2008.4746011
12. Chang A.H., Lee H.S., Boning D. A 12b 50MS/s 2.1mW SAR ADC with redundancy and digital background calibration // *2013 Proc. of the ESSCIRC*. Bucharest, 2013. P. 109–112. doi: 10.1109/esscirc.2013.6649084
13. Zhao Y., Nan J., Dai P., Yang M. Digital self-calibration technique based on 14-bit SAR ADC // *Transactions of Tianjin University*. 2013. V. 19. N 6. P. 454–458. doi: 10.1007/s12209-013-2015-7

References

1. Baker J.R. *CMOS Circuit Design, Layout and Simulation*. 3rd ed. Wiley, IEEE Press, 2010, 1208 p. doi: 10.1002/9780470891179
2. Hastings A. *The Art of Analog Layout*. 2nd ed. Prentice Hall, 2006, 672 p.
3. Maloberti F. *Analog Design for CMOS VLSI Systems*. Kluwer Academic Publ., 2003, 374 p. doi: 10.1007/b100812
4. Lin M.P.H., He Y.T., Hsiao V.W.H., Chang R.G., Lee S.Y. Common-centroid capacitor layout generation considering device matching and parasitic minimization. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2013, vol. 32, no. 7, pp. 991–1002. doi: 10.1109/tcad.2012.2226457
5. Hsiao W.H., He Y.T., Lin M.P., Chang R.G., Lee S.Y. Automatic common-centroid layout generation for binary-weight capacitors in charge-scaling DAC. *Proc. Int. Conf. on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design*. Seville, Spain, 2012, pp. 173–176. doi: 10.1109/smactd.2012.6339445
6. Lin C.W., Lin J.M., Chiu Y.C., Huang C.P., Chang S.J. Mismatch-aware common-centroid placement for arbitrary-ratio capacitor arrays considering dummy capacitors. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2012, vol. 31, no. 12, pp. 1789–1802. doi: 10.1109/tcad.2012.2204993
7. Zhu Y., Chio U.F., Wei H.G., Sin S.W., Seng-Pan U., Martins R.P. Linearity analysis on a series-split capacitor array for high-speed SAR ADCs. *Proc. 51st Midwest Symposium on Circuits and Systems*. Knoxville, USA, 2008, pp. 922–925. doi: 10.1109/mwscas.2008.4616951
8. Zhang Y., Zhao Y., Dai P. Study of split capacitor DAC mismatch and calibration in SAR ADC. *Journal of Circuits System and Computers*, 2015, vol. 26, no. 1. doi: 10.1142/s0218126617500037
9. McNeill J.A. et al. All-digital background calibration of successive approximation ADC using split ADC architecture. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2011, vol. 58, no. 10, pp. 2355–2365. doi: 10.1109/tcsi.2011.2123590
10. Rikan B.S., Abbasizadeh H., Do S.-H., Lee D.-S., Lee K.Y. Digital error correction for a 10-bit straightforward SAR ADC. *IEEE Transactions on Smart Processing and Computing*, 2015, vol. 4, no. 1, pp. 51–58. doi: 10.5573/ieiespc.2015.4.1.051
11. Ogawa T., Kobayashi H., Hotta M., Takahashi Y., Hao S., Nobukazu T. SAR ADC algorithm with redundancy. *Proc. IEEE Asia Pacific Conference on Circuits and Systems*. Macao, 2008, pp. 268–271. doi: 10.1109/apccas.2008.4746011
12. Chang A.H., Lee H.S., Boning D. A 12b 50MS/s 2.1mW SAR ADC with redundancy and digital background calibration. *Proc. of the ESSCIRC*. Bucharest, 2013, pp. 109–112. doi: 10.1109/esscirc.2013.6649084

14. Arian M., Saberi S., Hosseini-Khayat R., Lotfi Y., Leblebici A. 10-bit 50-MS/s redundant SAR ADC with split capacitive-array DAC // *Analog Integrated Circuits and Signal Processing*, 2012, V. 71, N 3, P. 583–589. doi: 10.1007/s10470-011-9812-5
15. Chen Y. Split capacitor DAC mismatch calibration in successive approximation ADC // *IEEE Custom Integrated Circuits Conference*. San Jose, 2009. P. 279–282. doi: 10.1109/cicc.2009.5280859
16. Ling D. A digital background calibration technique for successive approximation register analog-to-digital converter // *Journal of Computer and Communications*, 2013, V. 1, N 6, P. 30–36. doi: 10.4236/jcc.2013.16006
17. Chang A.H. Low-power high-performance SAR ADC with redundancy and digital background calibration, PhD Thesis. Massachusetts Institute of Technology, 2013, 199 p. [Электронный ресурс]. Режим доступа: <http://dspace.mit.edu/handle/1721.1/82177>, свободный. Яз. англ. (дата обращения 01.05.2019).
18. Jin L., Chen D., Geiger R. A digital self-calibration algorithm for ADCs based on histogram test using low-linearity input signals // *IEEE International Symposium on Circuits and Systems*. Kobe, 2005, P. 1378–1381. doi: 10.1109/iscas.2005.1464853
19. Андрияков Ю.А., Аникина А.А., Беляев Я.В. Выбор архитектуры и расчет параметров емкостного цифро-аналогового преобразователя для микромеханического акселерометра // *Научно-технические ведомости СПбГПУ. Информатика. Телекоммуникации. Управление*, 2016, № 4, С. 19–28.
20. Михтеева А.А., Лемко И.В. Метод синтеза схемотехнических моделей цифро-аналоговых преобразователей для интегральных схем // *Научно-технический вестник информационных технологий, механики и оптики*, 2018, Т. 18, № 2, С. 331–338. doi: 10.17586/2226-1494-2018-18-2-331-338
13. Zhao Y., Nan J., Dai P., Yang M. Digital self-calibration technique based on 14-bit SAR ADC. *Transactions of Tianjin University*, 2013, vol. 19, no. 6, pp. 454–458. doi: 10.1007/s12209-013-2015-7
14. Arian M., Saberi S., Hosseini-Khayat R., Lotfi Y., Leblebici A. 10-bit 50-MS/s redundant SAR ADC with split capacitive-array DAC. *Analog Integrated Circuits and Signal Processing*, 2012, vol. 71, no. 3, pp. 583–589. doi: 10.1007/s10470-011-9812-5
15. Chen Y. Split capacitor DAC mismatch calibration in successive approximation ADC. *IEEE Custom Integrated Circuits Conference*. San Jose, 2009, pp. 279–282. doi: 10.1109/cicc.2009.5280859
16. Ling D. A digital background calibration technique for successive approximation register analog-to-digital converter. *Journal of Computer and Communications*, 2013, vol. 1, no. 6, pp. 30–36. doi: 10.4236/jcc.2013.16006
17. Chang A.H. *Low-power high-performance SAR ADC with redundancy and digital background calibration*, PhD Thesis. Massachusetts Institute of Technology, 2013, 199 p. Available at: <http://dspace.mit.edu/handle/1721.1/82177> (accessed 01.05.2019).
18. Jin L., Chen D., Geiger R. A digital self-calibration algorithm for ADCs based on histogram test using low-linearity input signals. *IEEE International Symposium on Circuits and Systems*. Kobe, 2005, pp. 1378–1381. doi: 10.1109/iscas.2005.1464853
19. Andryakov Yu.A., Anikina A.A., Belyaev Ya.V. Architecture selection and parameter calculation of a capacitive digital-to-analog converter for a micromechanical accelerometer. *Nauchno-Tekhnicheskie Vedomosti SPbGPU*, 2016, no. 4, pp. 19–28. (in Russian)
20. Mikhteeva A.A., Lemko I.V. Synthesis method of digital-to-analog converter schematic models for integrated circuits. *Scientific and Technical Journal of Information Technologies, Mechanics and Optics*, 2018, vol. 18, no. 2, pp. 331–338 (in Russian). doi: 10.17586/2226-1494-2018-18-2-331-338

Авторы

Михтеева Анна Александровна — младший научный сотрудник, АО «Концерн «ЦНИИ «Электронприбор», Санкт-Петербург, 197046, Российская Федерация, Scopus ID: 57195502932, ORCID ID: 0000-0002-0637-6987, designcenter.spb@mail.ru

Колесов Николай Викторович — доктор технических наук, профессор, главный научный сотрудник, АО «Концерн «ЦНИИ «Электронприбор», Санкт-Петербург, 197046, Российская Федерация, Scopus ID: 6602000556, ORCID ID: 0000-0003-3287-7504, kolesovnv@mail.ru

Authors

Anna A. Mikhteeva — Junior scientific researcher, Concern CSRI Elektropribor, JSC, Saint Petersburg, 197046, Russian Federation, Scopus ID: 57195502932, ORCID ID: 0000-0002-0637-6987, designcenter.spb@mail.ru

Nikolay V. Kolesov — D.Sc., Professor, Chief scientific researcher, Concern CSRI Elektropribor, JSC, Saint Petersburg, 197046, Russian Federation, Scopus ID: 6602000556, ORCID ID: 0000-0003-3287-7504, kolesovnv@mail.ru