

УДК 681.3.08

**ТЕХНИКА ИЗМЕРЕНИЯ ТЕМПЕРАТУРЫ ЛОКАЛЬНОГО УЧАСТКА  
ПРОГРАММИРУЕМЫХ ЛОГИЧЕСКИХ ИНТЕГРАЛЬНЫХ СХЕМ  
НА БАЗЕ МЕТОДА МОНТЕ-КАРЛО****П.В. Кустарев, С.В. Быковский**

Исследованы измерительные схемы на цифровых элементах для контроля температуры кристаллов цифровых микросхем. Основным подходом является определение температуры по задержке сигнала на типовом логическом венти́ле. Применяются различные варианты оценки задержки. Описаны преимущества и недостатки датчиков на базе кольцевых генераторов: высокая точность и скорость измерения, но малая локализация и плохая повторяемость параметров при реализации на программируемых логических интегральных схемах, высокие рабочие частоты, энергопотребление и уровень электромагнитных излучений. Предложено использовать альтернативную схему измерительного блока, реализующую статистический метод Монте-Карло. Суть схемы состоит в выделении областей задержки фронтов периодических импульсов при прохождении их через логический элемент и определении доли попаданий случайных тестируемых импульсов в эти области по отношению ко всему времени измерения. Таким способом рассчитывается задержка логического элемента, пересчитываемая в значение температуры. Результаты опытного исследования предложенной схемы подтвердили эффективность блока измерения задержек элементов по методу Монте-Карло для определения температуры кристалла, в том числе локальных перегревов около энергоемких функциональных блоков – процессоров, памяти и других. Предложенная схема показала точность измерений температуры не худшую, чем у схемы на кольцевом генераторе – на уровне 1,5 К, но имеет меньшую сложность и примерно на 25% меньше по занимаемой площади кристалла. Важной особенностью является возможность переноса и клонирования измерительного блока в различных точках кристалла без необходимости перекалибровки, что обеспечивает простоту его применения в аппаратно-конфигурируемых системах на базе программируемых логических интегральных схем.

**Ключевые слова:** Time to Digital Conversion, TDC, VLSI, FPGA, SoC, ПЛИС, температурный датчик, кольцевой генератор.

**Введение**

В настоящее время для обеспечения контроля за температурным режимом цифровых микросхем сверхбольшой интеграции (VLSI) разработчики все чаще применяют реализованные на кристалле узлы измерения температуры (температурные датчики), построенные исключительно на цифровых элементах. Основное преимущество цифровых измерительных схем по сравнению с аналоговыми состоит в унификации процесса проектирования и производства микросхем. Датчики можно интегрировать в проект уже на этапе разработки модели устройства на уровне регистровых пересылок (RTL-уровень). Использование только цифровых элементов не приводит к изменению технологического процесса производства, в отличие от случая, когда в проект требуется интегрировать, помимо цифровых, еще и аналоговые блоки. Цифровые датчики можно пространственно объединить с энергоемкими блоками (память, процессоры, ускорители) вычислительных систем на кристалле (SoC), что позволяет не только оценить температуру кристалла, но и локализовать источник перегрева. Такие датчики реализуются как на базе заказных микросхем (ASIC), так и средствами программируемых логических интегральных схем (ПЛИС) различных типов – FPGA, CPLD.

В большинстве случаев принцип функционирования цифровых датчиков основан на измерении задержки распространения сигнала через логический элемент. Зависимость задержки от нагрева элемента предоставляет возможность измерения температуры. Метод преобразования задержки в цифровое значение температуры (Time to Digital Conversion, TDC) является ключевой особенностью для каждого типа датчиков и будет во многом определять его показатели – разрешающую способность и точность, энергопотребление и саморазогрев, габариты, инерционность и способность к фиксации локальных перегревов кристалла микросхемы.

В современной литературе большое внимание уделяется цифровым датчикам на основе кольцевых генераторов (КГ) [1–4]. Принцип работы КГ-датчиков основан на зависимости выходной частоты генератора, которая определяется суммой задержек всех элементов в кольце генератора, от температуры окружающей среды.

Датчики на КГ имеют много достоинств: они способны осуществлять измерения с точностью до 1,5 К [5] при времени готовности данных не более 650 нс. Достаточно высокое быстродействие достигается путем повышения рабочих частот КГ до 50 МГц и больше, что одновременно уменьшает количество элементов в кольце (чаще используется до 50 инверторов [1]) и площадь на кристалле.

С другой стороны, для точного измерения частоты КГ требуется высокочастотный и высокостабильный эталонный сигнал (обычно – это основной синхросигнал системы), что ограничивает применение компактных КГ-датчиков в устройствах, тактовая частота которых не превышает десятков мегагерц, или где применяются дешевые, но нестабильные тактовые генераторы, а также в устройствах, реализующих режимы пониженного энергопотребления с перестройкой тактовой частоты. Последнее касается в первую очередь автономных систем с батарейным питанием, притом, что контроль перегревов и переохлаждений для них важен в силу использования в широком диапазоне температур окружающей среды.

Кроме того, при использовании ПЛИС рабочие частоты не могут превышать 100–200 МГц, что также является ограничением на использование КГ-датчиков.

И, наконец, кольцевые генераторы являются источниками электромагнитных помех, что ограничивает их применение в прецизионных измерительных трактах.

Потенциально преодоление описанных ограничений возможно за счет использования альтернативных техник измерения задержки цифровых элементов. Но, хотя существует много подобных методов [6–8] (метод цикловой интерполяции, метод интегральных преобразователей нониусного типа, статистические методы), в литературе фактически не исследовано их использование для измерения температуры, не представлены варианты и параметры аппаратной реализации термодатчиков.

На кафедре вычислительной техники НИУ ИТМО было проведено исследование способов измерения задержек элементов на базе статистических методов, в частности – метода Монте-Карло, результаты которого представлены в диссертации С.О. Чураева [8]. Была продемонстрирована достижимость высоких показателей точности и скорости измерений, что явилось основанием для развития исследований в направлении построения цифровых термодатчиков. Достигнутые на сегодня результаты представлены в настоящей работе.

В работе показано, что на базе метода Монте-Карло можно строить измерительные узлы, не уступающие по точности КГ-датчикам. Представлена схема цифрового датчика, который имеет меньшие габариты и способен функционировать в системах с низкой и (или) динамически перестраиваемой тактовой частотой, эффективно реализуется на ПЛИС, не создает дополнительных электромагнитных помех.

### Описание разработанной испытательной установки

Принцип и схема блока измерения задержек цифровых элементов на базе метода Монте-Карло подробно описаны в работах [6–8]. Он состоит в оценке вероятности попадания фронтов случайных тестирующих импульсов во временные области распространения (задержки) периодического сигнала в цифровом элементе. Данные области выделяются посредством логического умножения входного и выходного (задержанного) сигналов.

Для проведения экспериментов была разработана встраиваемая измерительная система (ВИС). Ядром ВИС являлся процессор, выполняющий сбор и сохранение данных с множества блоков измерения температуры в автоматическом режиме. К процессору посредством стандартной внутрикристалльной шины (ОСР 3.0) подключается множество блоков измерения температуры.

Структура блока измерения температуры представлена на рис. 1.

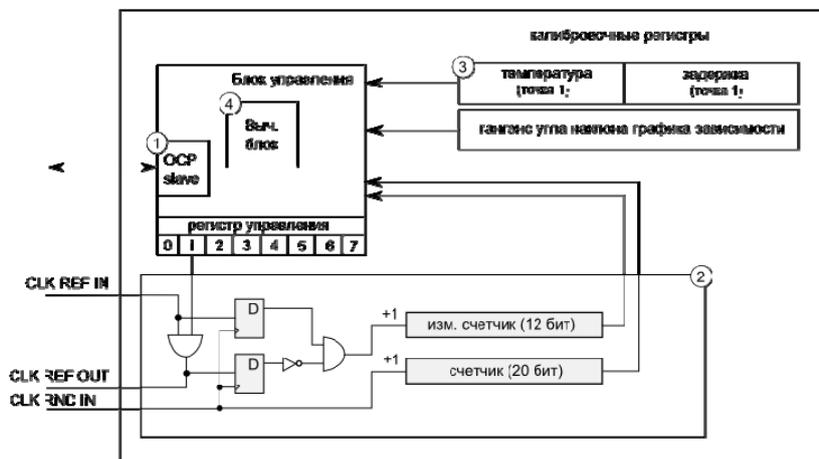


Рис. 1. Структурная схема блока измерения температуры: 1 – стандартный коммуникационный интерфейс ОСР 3.0 для подключения датчика к процессору сбора данных; 2 – блок измерения задержек переднего фронта на цифровом элементе; 3 – блок калибровочных регистров; 4 – вычислительный блок интерполятора, предназначенный для расчета значения температуры по измеренной задержке

Для работы схемы, согласно методике измерений [6], необходимы два входных сигнала – опорный сигнал CLK REF IN (для эксперимента была установлена частота 50 МГц) и тестовый сигнал CLK RND IN (для эксперимента была установлена частота 1,8432 МГц). Источниками сигналов выступали кварцевые генераторы, расположенные на испытательной плате. Частоты были выбраны исходя из параметров генераторов используемой платы, но могут быть другими. Замена случайных тестирующих импульсов на периодическую допустима, но только при некрайнем значении частоты CLK RND IN по отношению к частоте CLK REF IN («плывущая фаза»), что обосновано в исследовании [8] и проверено авторским опытом. Период одного измерения при описанных технических решениях и достижении требуемой точности

измерений (см. далее) составил 75 мс, что больше времени измерения КГ-датчика, но не противоречит прикладной задаче.

Эксперименты проводились с использованием прототипной платы Spartan-3AN StarterKit фирмы Xilinx с ПЛИС XC3S700AN. В составе ВИС были задействованы 4 блока измерения температуры delay и 4 блока HS (hot spot), предназначенные для локального нагрева отдельных участков ПЛИС. Каждый блок HS состоял из 300 кольцевых генераторов. В процессе работы можно было выборочно включать и выключать блоки HS, управляя нагревом локальных областей кристалла ПЛИС и оценивая соответствующие изменения показаний термодатчиков. Размещение различных блоков ВИС на кристалле ПЛИС изображено на рис. 2.

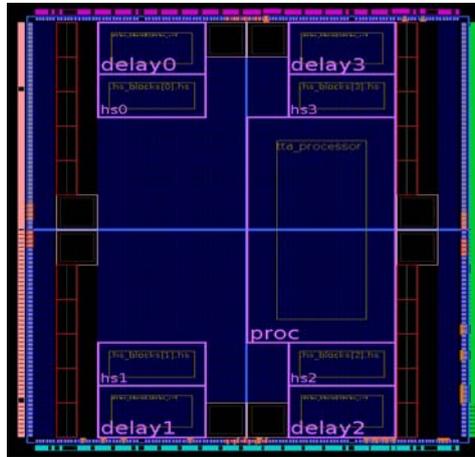


Рис. 2. Схема размещения блоков ВИС на ПЛИС

На рис. 3 показан результат размещения измерительного блока в ПЛИС. Датчик занял на ПЛИС 18 блоков (slice), при этом «элемент задержки» разместился в одном блоке, не используя вне-блочных межсоединений. А именно межсоединения дают максимальную нестабильность задержки измерительной цепи при трассировке в ПЛИС и приводят к необходимости индивидуальной калибровки датчиков (см. ниже).

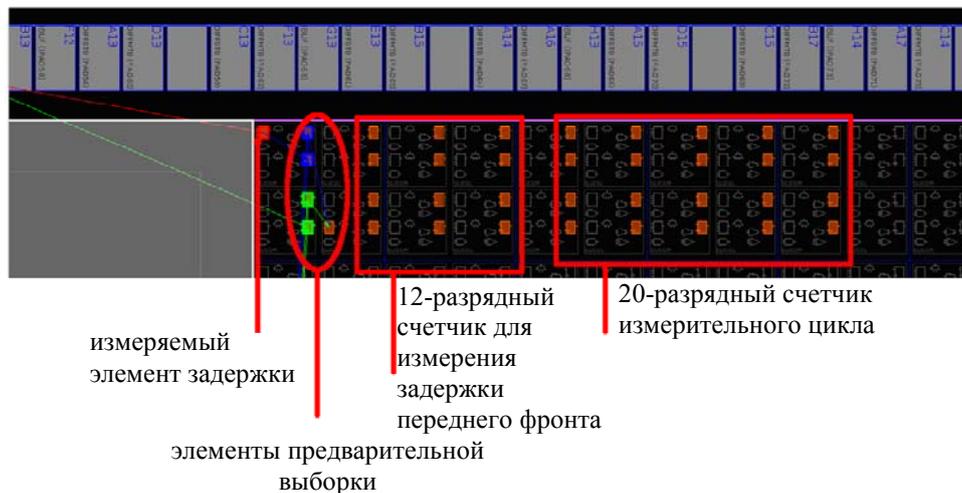


Рис. 3. Размещение блока измерения температуры в ПЛИС

В сравнении с полученным результатом измерительная часть датчика на кольцевых генераторах (47 инверторов), описанная в [1] и проверочно реализованная авторами, заняла 24 блока (slice) от ресурсов используемой ПЛИС (XC3S700AN). Таким образом, предложенный вариант оказался на 25% компактнее.

### Результаты экспериментальных исследований цифрового датчика температуры

Анализ данных источников [1, 6–8], проработка схемы измерения температуры и оценка ее реализации на ПЛИС позволил авторам прогнозировать: достижима точность измерения температуры на уровне 1 К при рабочей частоте до 50 МГц (что соответствует нижнему пределу частот КГ). Измерительный элемент будет иметь на порядок меньшую область, занимаемую на кристалле, так как в типовом варианте он состоит из 1 вентиля против 47 вентилях у КГ-датчика [1]. Это позволит повысить локализа-

цию температурных измерений. Положительный эффект от локализации дополнительно усилится простотой «внедрения» измерительного элемента в функциональные блоки микросхем.

Проведенные экспериментальные исследования в целом подтвердили прогнозы.

На первом шаге была оценена зависимость задержки цифрового элемента от температуры. Для этого плата с ПЛИС была помещена в термокамеру, и измерялись задержки при температурах от  $-30^{\circ}\text{C}$  до  $60^{\circ}\text{C}$ . Результаты представлены на рис. 4.

На графике показана зависимость от температуры задержки переднего и заднего фронтов импульсов эталонной частоты. Задержка выражена в условных единицах внутреннего счетчика схемы, т.е. не имеет погрешности преобразования в единицы времени, и именно в таком виде она обрабатывается в ВИС. Если перевести задержку в единицы времени, то изменение задержки на 0,5 пс соответствует изменению температуры на 1К (достижимость пикосекундной точности измерений задержек продемонстрирована в [8]).

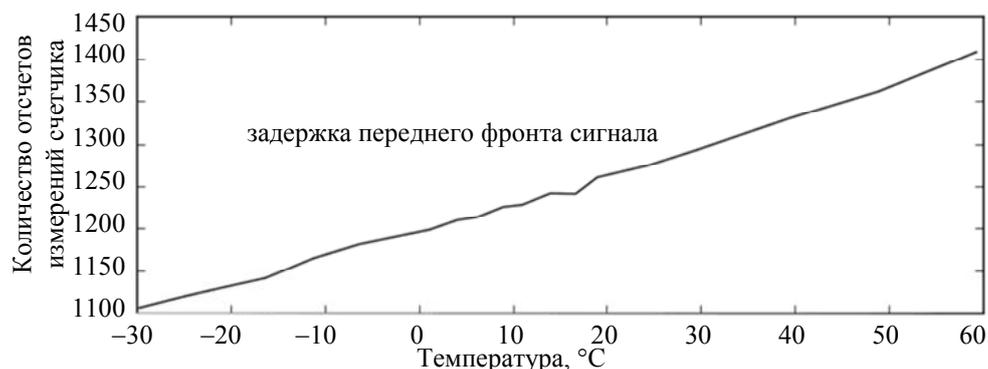


Рис. 4. Полученная зависимость задержки цифрового элемента от температуры

Была исследована повторяемость измерений: для 10 опытов максимальное абсолютное отклонение измеренных значений задержек при одинаковой температуре составило 2 пс, что при переводе в температуру составит  $(2 \text{ пс}) / (0,5 \text{ пс/К}) = 4 \text{ К}$ .

Изменение внутренней схемотехники измерительного блока, типа измерительного элемента и (или) параметров синтеза и планирования топологии ПЛИС ведет к изменению задержки. Это обусловлено различной топологией (внутренней трассировкой) измерительных блоков на кристалле ПЛИС. В этой связи необходимо произвести калибровку измерительного блока. В общем случае следует калибровать каждый конкретный датчик, но, в силу компактности предложенного измерительного блока, легко однократно зафиксировать его трассировку в типовом блоке ПЛИС (задержка при этом также будет неизменной) и отображать данную трассировку без изменения на аналогичные блоки в ПЛИС, расположенные в других частях кристалла. В качестве калибровочных данных авторами были использованы значение «измерительного» счетчика при определенной температуре и коэффициент пропорциональности для зависимости задержки от температуры (угол наклона графика на рис. 4).

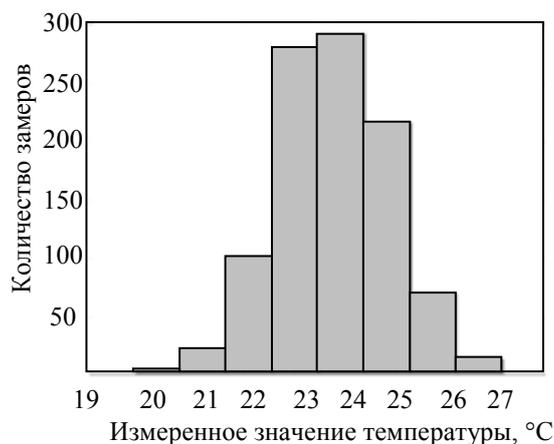


Рис. 5. Гистограмма распределения измеренных значений температуры

Следующим шагом была оценка погрешности измерений температуры калиброванного датчика. На рис. 5 приведена гистограмма распределения результатов 1000 последовательных замеров температуры при постоянной температуре окружающей среды  $24^{\circ}\text{C}$ . Среднее квадратичное отклонение полученных значений температуры составило 1,25 К. Согласно правилу трех сигм, 99% значений нормально рас-

пределенной случайной величины будет лежать в диапазоне  $M \pm 3,75$  К, где  $M$  – математическое ожидание. Таким образом, максимальное отклонение от номинального значения температуры можно считать примерно равным 4 К. Этот результат соответствует продемонстрированной выше повторяемости измерений.

Уменьшить максимальный разброс можно с помощью скользящего арифметического (1) или экспоненциального (сглаженного) (2) усреднения:

$$t_{a,n} = \frac{\sum_{i=n-N+1}^n t_i}{N}, \tag{1}$$

$$t_{s,n} = k \cdot t_n + (1-k) \cdot t_{s,n-1}. \tag{2}$$

Результаты различных вариантов усреднения представлены в табл. 1, 2.

Согласно табл. 2 и правилу трех сигм, максимальный разброс показаний датчика можно уменьшить до 1,5 К ( $\Delta T_{\max} = \sigma \times 3$ ), используя экспоненциальное усреднение с коэффициентом 0,25. При этом такой вариант может быть реализован аппаратно простейшими операциями сдвига и суммирования.

$N$	$\Sigma, \text{К}$
2	0,63
5	0,25
7	0,17
15	0,088

Таблица 1. Результаты арифметического усреднения по  $N$  замерам

$k$	$\sigma, \text{К}$
1	1,25
0,75	0,94
<b>0,25</b>	<b>0,5</b>
0,1	0,32

Таблица 2. Результаты экспоненциального усреднения

В завершение была оценена способность к измерению локальных перегревов кристалла ПЛИС. Для этого поочередно включались блоки HS, размещенные в различных углах кристалла (рис. 2). В начале эксперимента температура окружающей среды и кристалла была установлена равной 21°C. На рис. 6 изображены карты распределения температуры на кристалле ПЛИС. Карты строились на основе показаний 4 датчиков. Значения температуры в точках кристалла, температура которых непосредственно не измерялась, были восстановлены с помощью линейной интерполяции.

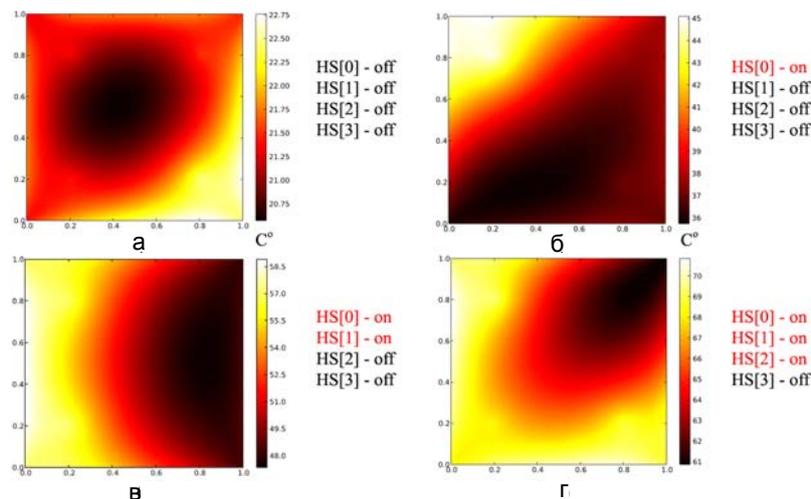


Рис. 6. Распределение температуры на кристалле ПЛИС: при отключенных блоках нагрева HS (а); при включении: одного блока HS (б); 2-х блоков нагрева HS (в); 3-х блоков нагрева HS (г)

На рис. 6, а, видно, что при отключенных блоках нагрева HS температура различных точек кристалла примерно одинакова и находится в диапазоне от 20°C до 22°C. При точечном нагреве в одной точке, когда включен блок HS [0] (рис. 6, б), температура в этой точке достигает 45°C и превышает темпера-

туру в остальных точках кристалла на 9°C. При включении 2 и 3 блоков нагрева HS (рис. 6, в, и рис. 6, г) средняя температура кристалла возрастает примерно на 12°C на каждый включенный блок HS, но перегрев точек нагрева сохраняется на уровне 9°C, что в целом соответствует физике процесса нагрева. Тем самым подтверждено, что датчики смогли идентифицировать неравномерность распределения температуры на кристалле ПЛИС.

Таким образом, предлагаемый измерительный блок позволил определять отклонения температур локальных областей ПЛИС на 4 К.

Малые размеры измерительной части датчиков (рис. 5) и низкие частоты работы (порядка 2 МГц) позволяют реализовать измерительную сеть, обладающую более высокой пространственной разрешающей способностью, чем в случае с датчиками на кольцевых генераторах. Детальный анализ пространственной и температурной разрешающей способности сети датчиков является темой для будущих исследований.

### **Заключение**

Основным научным результатом, полученным авторами данной работы, является экспериментальная оценка эффективности техники измерения задержек по методу Монте-Карло в качестве основы для построения цифрового температурного датчика, способного измерять локальные перегревы кристалла цифровых микросхем. В работе был предложен и проанализирован вариант реализации такого цифрового датчика. Описанный подход позволил проводить измерения температуры с точностью в 1,5 К при усреднении всего двух замеров (использовалось экспоненциальное усреднение). Это сравнимо с точностью датчиков на кольцевых генераторах (1–1,5 К). Опытным путем подтверждена возможность измерения локальных перегревов на кристалле.

На данном этапе исследований и для использованной авторами испытательной установки температурные датчики на основе кольцевых генераторов показали большую скорость измерений (650 мкс на одно измерение) [5]. Однако для предлагаемой в работе схемы существует потенциал улучшения ее скоростных характеристик за счет изменения соотношения частот тестового и опорного сигналов, а также за счет увеличения частоты тестового сигнала.

Следует отметить, что на практике скорость температурных измерений не всегда обладает наивысшим приоритетом: температурные процессы сами по себе являются достаточно инерционными. Предпочтение отдается компактности и малому энергопотреблению измерительных схем. В работе показано, что измерительная часть предложенной схемы датчика на 25% компактнее датчиков на кольцевых генераторах (КГ-датчиков).

КГ-датчики имеют достаточно высокие рабочие частоты при большом числе переключающихся элементов (до 50 шт.), что ведет к дополнительным энергопотерям и возможности саморазогрева измерительного элемента. В предлагаемой схеме датчик имеет измерительную цепь только из одного переключающегося элемента.

КГ-датчики не могут корректно функционировать при уменьшении эталонной частоты, например, при переходе системы в режим пониженного энергопотребления, что потребует минимальных изменений измерительной схемы. В предлагаемой схеме датчика важно не абсолютное значение, а соотношение тактовых сигналов (тестового и опорного), частоту которых можно изменять, сохраняя структуру измерительного блока неизменной. Однако детальное исследование повторяемости результатов при изменении частоты тактовых сигналов является задачей отдельного исследования.

Описанные исследования выполняются на кафедре вычислительной техники НИУ ИТМО в рамках развития научно-исследовательского направления «Системотехника интегральных вычислителей. Системы на кристалле». Полученные результаты апробированы в рамках ряда инновационных проектов, реализуемых кафедрой вычислительной техники и научно-производственной фирмой ООО «ЛМТ».

### **Литература**

1. Ruething C., Agne A., Happe M., Plessl C. Exploration of ring oscillator design space for temperature measurements on FPGAs // Field Programmable Logic and Applications (FPL), 22nd International Conference on. – 2012. – P. 559–562.
2. Zick K.M., Hayes J.P. On-line sensing for healthier FPGA systems // FPGA'10 Proceedings of the 18th annual ACM/SIGDA international symposium on Field programmable gate arrays. – 2010. – P. 239–248.
3. Lopez-Buedo S., Garrido J., Boemo E.I. Dynamically inserting, operating, and eliminating thermal sensors of FPGA-based systems // Components and Packaging Technologies, IEEE Transactions on. – 2002. – V. 25. – № 4. – P. 561–566.
4. Lopez-Buedo S., Boemo E.I. Making visible the thermal behaviour of embedded microprocessors on FPGAs: a progress report // Proceedings of the 2004 ACM/SIGDA 12th international symposium on Field programmable gate arrays (FPGA'04). – 2004. – P. 79–86.

5. Poki C., Mon-Chau S., Zhi-Yuan Z, Zi-Fan Z., Chun-Yan C. A Fully Digital Time-Domain Smart Temperature Sensor Realized With 140 FPGA Logic Elements // Circuits and Systems I: Regular Papers, IEEE Transactions on. – 2007. – V. 54. – № 12. – P. 2661–2668.
6. Maggioni S., Veggetti A., Bogliolo A., Croce L. Random Sampling for On-Chip Characterization of Standard-Cell Propagation Delay // Proceedings of the 4th International Symposium on Quality Electronic Design. – 2003. – P. 41–45.
7. Churayev S.O., Matkarimov B.T., Paltashev T.T. On-chip measurements of standard-cell propagation delay // Design & Test Symposium. – 2010. – P. 179–181.
8. Чураев С.О. Встраиваемые системы контроля параметров интегральных схем пикосекундного разрешения: Дис. ... канд. техн. наук. – СПб, 2012. – 154 с.

*Кустарев Павел Валерьевич*

– Россия, Санкт-Петербург, Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики, кандидат технических наук, доцент, kustarev@yandex.ru

*Быковский Сергей Вячеславович*

– Россия, Санкт-Петербург, Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики, аспирант, bsv.serg@gmail.com

УДК 681.324

## ПРИНЦИПЫ ПОСТРОЕНИЯ КОМБИНИРОВАННОЙ ТОПОЛОГИИ СЕТИ ДЛЯ ПЕРСПЕКТИВНЫХ БОРТОВЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Е.В. Книга, И.О. Жаринов

Рассматриваются принципы сетевой организации бортовых цифровых вычислительных систем. Наиболее распространенные сегодня на практике сетевые топологии, которыми являются «двойная звезда» и «общая шина», не отвечают основным требованиям сетевой организации, предъявляемым к вычислительным системам перспективных летательных аппаратов согласно концепции интегрированной модульной авионики. Предлагается новое техническое решение для построения отказоустойчивой вычислительной системы, основанное на использовании смешанной топологии, которая совмещает в себе элементы двух известных топологий – «полносвязная сеть» и «двойная звезда». Данное техническое решение позволяет улучшить показатели качества работы вычислительной системы. В работе особое внимание уделено показателям надежности вычислительной системы, построенной по принципу смешанной топологии, при различных способах назначения выполняемых задач на доступные вычислительные ресурсы. Результатом практической реализации предложенной топологии бортовой цифровой вычислительной системы является ее структура, внедренная в реальную практическую разработку в авиационной промышленности.

**Ключевые слова:** сетевые технологии, интегрированная модульная авионика, вычислительные системы.

### Введение

В соответствии с современными тенденциями развития авионики бортовые цифровые вычислительные системы (БЦВС) представляют собой многомашинные вычислительные комплексы, интегрированные в единый конструктив. За счет использования свойств интеграции реализуется возможность практически неограниченного увеличения производительности систем путем включения в них дополнительных вычислительных модулей. Свойства интеграции проявляются в полной мере при соблюдении следующих требований к сетевой организации БЦВС [1–4]:

- должны использоваться открытые стандарты на аппаратное и программное обеспечение;
- топология вычислительной сети БЦВС должна быть масштабируемой;
- топология вычислительной сети БЦВС должна поддерживать высокий уровень взаимосвязанности;
- сетевые требования не должны вводить расширение номенклатуры используемых типов конструктивно-функциональных модулей (КФМ);
- должна обеспечиваться полная взаимозаменяемость КФМ по форме, установке и функциям;
- топология вычислительной сети БЦВС должна поддерживать различные уровни защиты данных;
- топология вычислительной сети БЦВС должна иметь возможность изменения конфигурации с целью реализации свойства отказоустойчивости системы.

В известных сегодня реализациях отечественных бортовых комплексов – «БВС-1» [5], многопроцессорный вычислительный комплекс (МПВК) [6] (ЗАО НПП «Авиационная и морская электроника»), «Базис 5.0» [7] (ОАО «Научно-конструкторское бюро вычислительных систем») – используются различные сетевые топологии: «линия», «двойная звезда», «общая шина».

Топология типа «линия» не отвечает требованиям к надежности вычислительной системы. При топологии типа «двойная звезда» выход из строя одного из модулей коммутаторов повлечет за собой неисправность сегмента сети или, возможно, сети в целом. При использовании топологии типа «общая